

Ur vårt Digitala Arkiv

Beskrivning Dator 107/PM F6400-054697

Utgiven av Försvarets Materielverk

Denna digitala version är komplett med bilagor

Dokumentet finns på
Flygvapenmuseum LIBRIS-ID: 8247264

Det inskannade exemplaret ingår i
AEF Arkiv med nr 9276

Inskannat 2019-01-16

Faktaruta

Jaktversionen av flygplanet JA37 Viggen blev utrustad med en svenskt Central Dator **CD** efter en specifikation från Försvarets Materielverk FMV. Den utvecklades i huvudsak av Svenska Aeroplan Aktiebolaget SAAB i Trollhättan.

Läs mera:

https://aef.se/Avionik/Notiser/Central_Dator-CD107-207.htm

FÖRSVARETS MATERIELVERK
Huvudavdelningen för flygmateriel

FFV UNDERHÅLL
ARBEIDA

reg nr 43 00105 - 0001

DATOR 107/PM
F6400—054697
Beskrivning

000

000

INNEHÅLL

INLEDNING	9
Allmänt	9
Centralenhet 107	11
Minnesenhet	11
In/utenhet 107	11
Kraftenhet	12
Tekniska data	13
Benämningar och beteckningar	15
Ritningssätt på principscheman	16
Numrering	16
Hänvisningar	16
MEKANISK OCH ELEKTRISK UPPBYGGNAD	17
Stomme	17
Kortenheter	19
Kylluftkanaler	21
VERKNINGSSÄTT	23
Allmänt	23
Instruktionstyper och dataformat	24
Centralenhet 107	27
Allmänt	27
Minnesprioritetsanalysator	28
Bussförbindelser	28
Aritmetik, styrning och register	28
Minnesadressering	33
Avbrottssystem	37
Allmänt	37
Programavbrott	37
Tidsavbrott	45

Intern övervakningskrets BITE	48
Allmänt.....	48
Bite statusregister	48
BITE-instruktioner	51
Systemalarmsignaler	52
Signal COK.....	52
Kontroll av tidsövervakningskretsar	52
Vippa RHF	53
Kraftavbrott och start/stopp/återstart	53
Övervakning av likspänningar	53
Minnesenhet	54
Kärnminne.....	54
Laddning av minne	57
Minnescykel och accesstid	57
RAM/ROM supplementminne	57
Operationsmoder	57
Skrivskydd för minnesadressering	58
Kontroll av skrivskydd.....	59
Skyddad minnesaccess och adressindelning	59
Minnets initiering	61
In/ut-enhet 107	62
Allmänt.....	62
Tidsstyrning	64
Programstyrda parallellbinära kanaler.....	73
Klockavbrottssignaler.....	77
Minnesladdningskanaler	79
Anslutning till yttre system	80
Kraftenhet	83
Allmänt.....	83
Överspänning	83
Överbelastning	83
Underspänning	84
Övertemperatur	84
Kontrollsignaler (matningsspänning)	85

Bilagor

1. Instruktionslista för dator 107/PM (2 sidor)
2. Förkortningar (8 sidor)
3. Hänvisningar till programvara
4. Schemasymboler (2 sidor)

Bilder

1. Dator 107/PM och samverkande system	9
2. Datorns exteriör och placering.....	10
3. Blockschema över datorn	12
4. Datorn med borttagna sid- och takplåtar	17
5. Utrustning på gavlar	18
6. Datorn utan kortenheter	18
7. Kortenheter	20
8. Kortenheternas placering	20
9. Dator 107/PM, funktionsblockschema	23
10. Instruktionsformat	24
11. Dataformat vid fast tal (fixed point number)	26
12. Dataformat vid flyttal (floating point number)	26
13. Centralenhetens kortenheter, blockschema	27
14. Centralenhet, detaljerat blockschema	29
15. Signaler till och från kärnminnet	33
16. Tidsdiagram för minnescykel.....	36
17. Kretsar för programavbrott, blockschema	38
18. Behandling av avbrott	41
19. JK-vippa i avbrottskanal	42
20. Mottagare för externa avbrott	44
21. Tidslucka för "Watchdog Timer"	46
22. Tidsövervakare "Watchdog Timer"	47
23. Signaler till och från övervakningskretsen BITE	49
24. Minnesenhet, blockschema.....	55
25. Minnets styrenhet "Timing and Control", blockschema.....	56
26. Spänningsövervakningsenhet "Memory Protect", blockschema	56
27. Skrivskydd och adresskodning	58

()

()

()

()

INLEDNING

ALLMÄNT

Dator 107/PM, F6400-054697, betjänar och styr vid normal funktion de flesta elektronikutrustningarna i flygplan JA 37, se bild 1. Vissa viktiga utrustningar har reservsystem, vilka träder i funktion vid datorbortfall. Flygplanet får då väsentligt nedsatt prestanda. På bild 2 visas datorns placering i flygplanet.

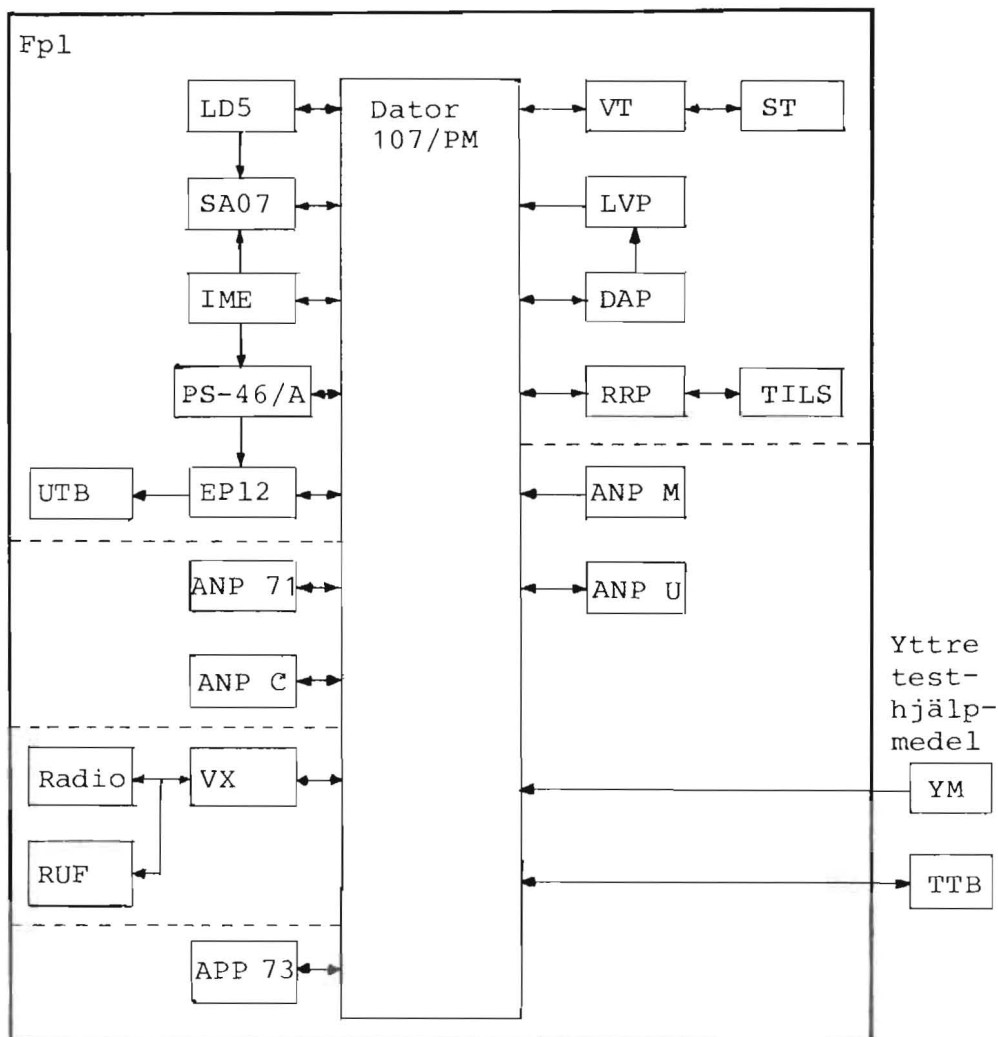


Bild 1. Dator 107/PM och samverkande system

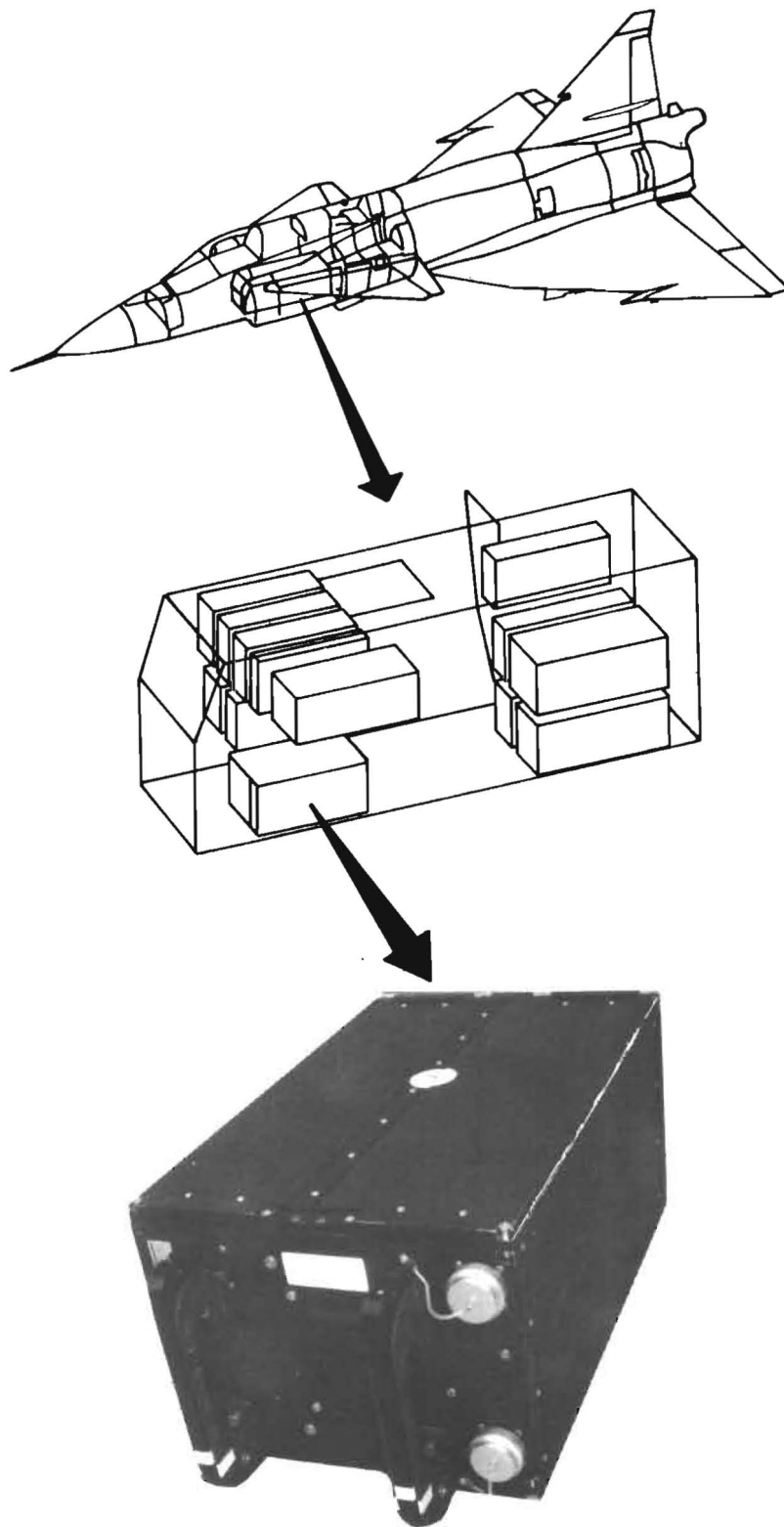


Bild 2. Datorns exteriör och placering

Datorn består av fyra funktionella underenheter: centralenhet 107 minnesenhet, in/ut-enhet 107 och kraftenhet. Underenheternas elektroniska kretsar är uppbyggda på kretskort.

Centralenhet 107

Centralenheten (CPU, Central Processing Unit) består av tio kortenheter, vilka innehåller adderare, multiplexer, register och styrlogik nödvändiga för utföra önskade aritmetiska/logiska beräkningar. Det ingår också en minnesprioritetsanalysator (MPA), vilken styr de olika enheternas tillgång till data, adress och kontrollbussar. Styrningen baseras på prioritetstilldelning vid minnesanrop varvid den, vid varje enskilt tillfälle, högsta prioriteten får tillgång till bussarna. Markstationerad utrustning kan utbyta data med bussarna över anslutningsdon på främre gaveln.

Till centralenheten hör två direktminnen av halvledartyp. Det ena är ett $2K \times 32$ bitars läsminne (PROM) för inläsningsprogram och datakonstanter. Det andra är ett 256×32 bitars temporärminne (RAM), som tillåter både skrivning och läsning av data. Temporärminnet förlorar sitt innehåll vid spänningsavbrott.

Minnesenhet

Kärnminnet består av fyra moduler, vardera med en $16K \times 16$ bitars kärnstack med tillhörande styrkretsar, totalt 14 kortenheter. Vid läsning raderas det lästa datat. Styrkretsarna sköter därför om en automatisk återskrivning av utläst data till samma positioner i minnet.

In/ut-enhet 107

In/ut-enheten består av elva kortenheter, vilka innehåller kretsar för enkel/dubbelriktad överföring av data och kontrollsignaler mellan centralenheten och flygplanets övriga system. Dessa är anslutna med kablar till anslutningsdon i datorns bakre gavel. Överföringarna är av binär serie, binär parallell och analog form. In/ut-enheten innehåller också en övervakningskrets BITE (Built In Test Equipment), som övervakar BITE-signaler från andra delar av datorn och genererar signalen COK (Computer OK). Signalen informerar både piloten och samverkande system att datorn fungerar tillfredställande.

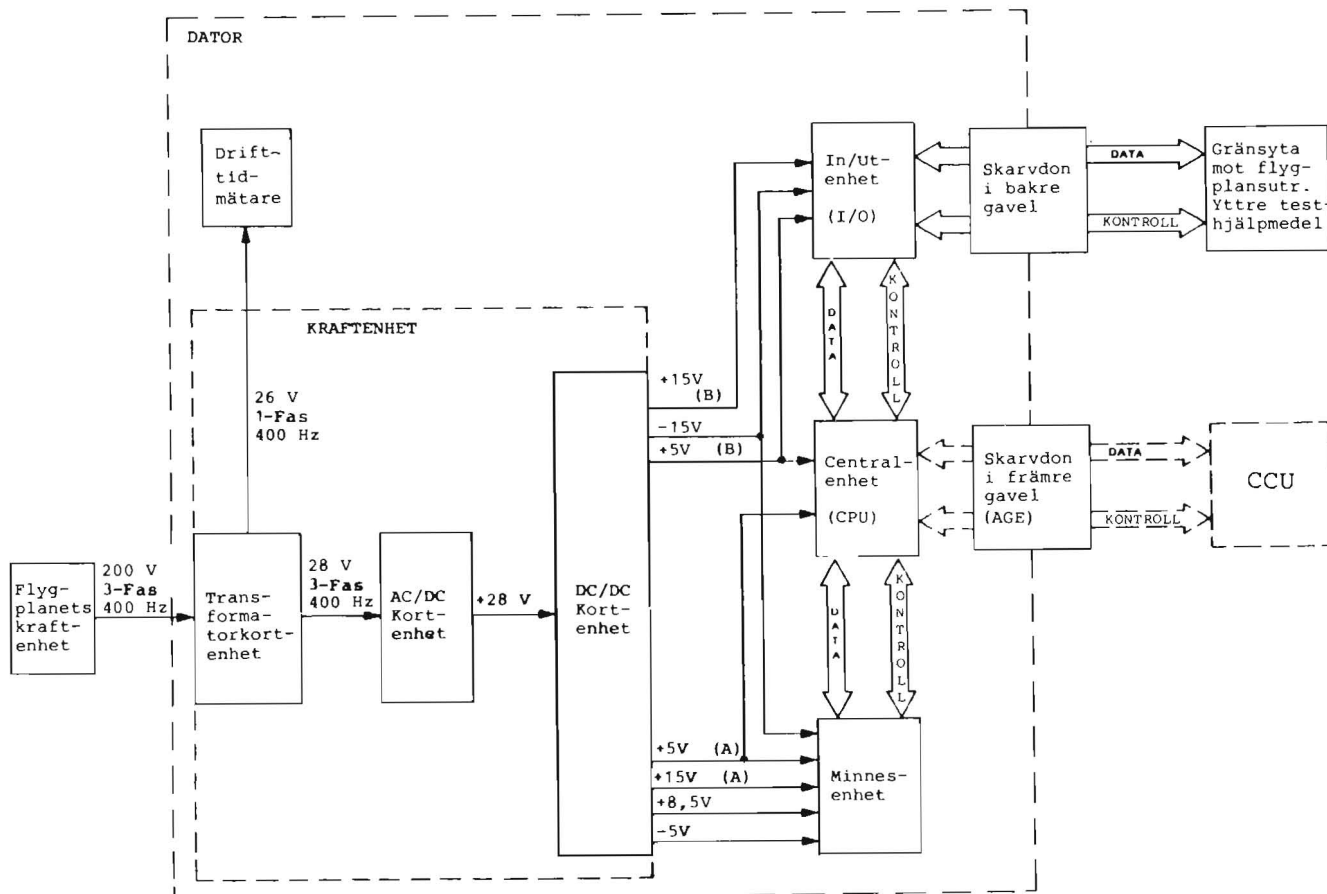


Bild 3. Blockschemata över datorn

Kraftenhet

Från flygplanets kraftenhet matas 3-fas 115/200 V, 400 Hz, växelspanning till datorns krafttransformator. Primärspänningen omvandlas dels till 3-fas 28 V, 400 Hz, för likriktaren, dels till 1-fas 26 V, 400 Hz, för drifttidmätaren.

Likriktaren levererar en spänning på minst 28 V DC till fyra DC/DC-omvandlare vilka försörjer in/ut-enheterna, centralenheten och minneskortet med följande stabiliserade likspänningar: +15 V, -15 V, +8,5 V, +5 V och -5 V.

De stabiliserade likspänningarna skyddas mot överbelastning och överspänning av inbyggda övervakningskretsar. Andra kretsar övervakar temperaturen i kraftenheten och matningsspänningen (28 V).

TEKNISKA DATA

Vikt	ca 25,2 kg
Dimensioner	ca 461 × 194 × 252 mm
Primärspänning	3-fas 115/200 V +11 -19 % 400 Hz ±5 %, 585 W (688 VA)

Tabell 1. Stabiliserade likspänningar

Likspänning	Max belastningsström
+ 5 V (A)	29 A
+ 5 V (B)	29 A
- 5 V	0,5 A
+15 V (A)	6,8 A
+15 V (B)	0,2 A
-15 V	1,92 A
+ 8,5 V	0,65 A

Signalnivåer på ingången

Logisk 1	+5 V nominellt (+2 V ≤ mätt vid ingången ≤ +5,5 V)
Logisk 0	0,0 V nominellt (-0,05 V ≤ mätt vid ingången ≤ +0,8 V)

Signalnivåer på utgången

Logisk 1	+5 V nominellt (+2,4 V ≤ mätt vid utgång ≤ +5,5 V)
Logisk 0	0,0 V nominellt (-0,1 V ≤ mätt vid utgång ≤ +0,5 V)

Minneskapacitet

Kärnminne	32K x 32 bitars ord
Temporärminne (RAM)	256 x 32 bitars ord
Läsminne (PROM)	2K x 32 bitars ord

Ordlängd

Halvord	16 bitar
Helord	32 bitar
Dubbelord	64 bitar

In/utdata, serieöverföring

Inkanaler för binär serieöverföring	25
Utkanaler för binär serieöverföring	25 (två godtyckliga kan användas samtidigt)
Analog inkanaler	40 (33 sensorer, 7 potentiometrar)

In/utdata, parallellöverföring

Dubbelriktad 16-bitars kanal	1 med 4-bit adress
Dubbelriktad 8-bitars kanal	1 med 4-bit adress
16-bitars inkanal	1
8-bitars inkanal	1
16-bitars utkanal	1
8-bitars utkanal	1
Synkroniseringssignaler	9
Testfrekvenser	3
Programavbrott	16 (varav 9 från yttre enheter)

Kylluftsbehov

Inloppstemperatur	20°C (nominellt)
Flöde	0.84 kg/minut (vid 20°C inloppstemperatur)

BENÄMNINGAR OCH BETECKNINGAR

Tabell 2. Benämningar och beteckningar

Förråds- benämning	Engelsk benämning	Förråds- beteckning	Referensbeteck- ning SAAB	Position i ram	CO 1-burk	CO 2-burk
Dator 107/PM		F6400-054697	-8402000-10-1			
CENTRALENHET 107		M3191-107118	-9302008-00-1			
• Kortenhet 1	Arithmetic No 1	F6400-054980	-8402101-10-1	A16		A24
• Kortenhet 2	Arithmetic No 2	-054981	-8402102-10-1	A17		A23
• Kortenhet 3	Arithmetic No 3	-054982	-8402103-10-1	A18		A22
• Kortenhet 4	Arithmetic No 4	-054983	-8402104-10-1	A19		A21
• Kortenhet 5	Program Interrupt	-054984	-8402105-10-1	A23		A17
• Kortenhet 6	Process Control	-054985	-8402106-10-1	A21		A19
• Kortenhet 7	Addend Bus Control	-054986	-8402107-10-1	A20		A20
Förråds- benämning	Engelsk benämning	Förråds- beteckning	Referensbeteck- ning SAAB	Position i ram		
• Kortenhet 8	Register Control	F6400-054987	-8402108-10-1	A22		A18
• Kortenhet 9	Memory Priority Analyzer	-054988	-8402109-10-1	A24		A16
• Kortenhet 10	Scratchpad Memory	-054989	-8402110-10-1	A25		A15
MINNESENHET						
• Kortenhet	Timing and Control	-055686	-8401122-10-1	A7		
• Kortenhet	Memory Protect	-055688	-8402123-10-1	A29		
• Kortenhet	Sense and Digit	-055690	-8402124-10-1	A3, A6, A10, A1		
• Kortenhet	X-Y Select	-055692	-8402125-10-1	A1, A4, A8, A11		
• Kortenhet	Memory Stack	-055694	-8402126-10-1	A2, A5, A9, A12		
IN/UT-ENHET 107		M3191-107128	-9302009-00-1			
• Kortenhet 1	Parallel Chan No 1	F6400-054990	-8402111-10-1	A34		A22
• Kortenhet 2	Parallel Chan No 2	-054991	-8402112-10-1	A33		A23
• Kortenhet 3	TSS No 1	-054992	-8402113-10-1	A39		A17
• Kortenhet 4	TSS No 2	-054993	-8402114-10-1	A38		A18
• Kortenhet 5	TSS No 3	-054994	-8402115-10-1	A37		A19
• Kortenhet 6	TSS No 4	-054995	-8402116-10-1	A36		A20
• Kortenhet 7	TSS No 5	-054996	-8402117-10-1	A35		A21
• Kortenhet 8	Timing and Interrupt	-054997	-8402118-10-1	A32		A24
• Kortenhet 9	BITE	-054998	-8402119-10-1	A31		A25
• Kortenhet 10	Analogue Multiplexer	-054999	-8402120-10-1	A41		A15
• Kortenhet 11	A/D Converter	-055000	-8402121-10-1	A40		A16
KRAFTENHET						
• Kortenhet	Transformer	-054696	-8402127-10-1	A26		
• Kortenhet	AC/DC	-054698	-8402128-10-1	A28		
• Kortenhet	DC/DC +5 V	-055700	-8402129-10-1	A15, A3		
• Kortenhet	DC/DC -5 V, +15 V, -15 V, +8,5 V	-055702	-8402130-10-1	A27		
• Kortenhet	DC/DC +15 V	-055704	-8402131-10-1	A14		

RITNINGSSÄTT PÅ PRINCIPSCHEMAN

Numrering

Schemana för dator 107/PM är märkta med referensbeteckning (SAAB-SCANIA nummer) och beteckning på engelska. Sambandet mellan enhet och nummer finns angivet i avsnittet Benämningar och beteckningar. På blad 1 i schemasatsen finns också en referens till motsvarande SKD-nummer (Singer Kearfott Division).

På varje blad finns ett A-nummer t ex A160, som både refererar till kortenhetens plats i ramen (de två första siffrorna) och talar om bladnummer (den sista siffran). Observera att bladnumreringen i A-numret går från noll, medan den vanliga bladnumreringen börjar med ett.

På bilaga 4 visas de schemasymboler som används.

Hänvisningar

Varje schema är indelat i ett koordinatnät med koordinaterna A-H längs ena kanten och 1-8 längs andra (alternativt A-D respektive 1-4).

Varje IC-krets i en enhet har ett U-nummer vilket återfinns i detaljförteckningen. De typer av hänvisningar som förekommer framgår av tabell 3.

Tabell 3. Hänvisningar i scheman

Hänvisning	Innebörd
P1-49	Kontaktgrupp 1 stift 49
2U15-9	Blad 2, IC-krets 15 stift 9
U79-13 (B-3) SH2	} alt IC-krets U79 stift 13, blad 2 koordinatruta B3
U79-13 SH2 (B-3)	
U79-13, 2B3	
2U79-13 B3	
2B3 U79-13	

Om bladnummer saknas i hänvisningen avses samma blad som hänvisningen står på.

MEKANISK OCH ELEKTRISK UPPBYGGNAD

STOMME

Datorn är avsedd för montering i flygplansracken i undre apparatrummets främre del, se bild 2. På främre gaveln finns två bärhandtag vilka också används vid låsning av datorn i racken, se bild 4. De två anslutningsdonen AGE (Aerospace Ground Equipment), 2J4 och 2J6, se bild 5, används vid anslutning av CCU (Computer Control Unit) över buffertlåda till datorn vid testning, felsökning och inläsning av data till kärnminnet. En drifttidmätare, 2M1, visar den tid i timmar under vilken datorn varit spänningsatt.

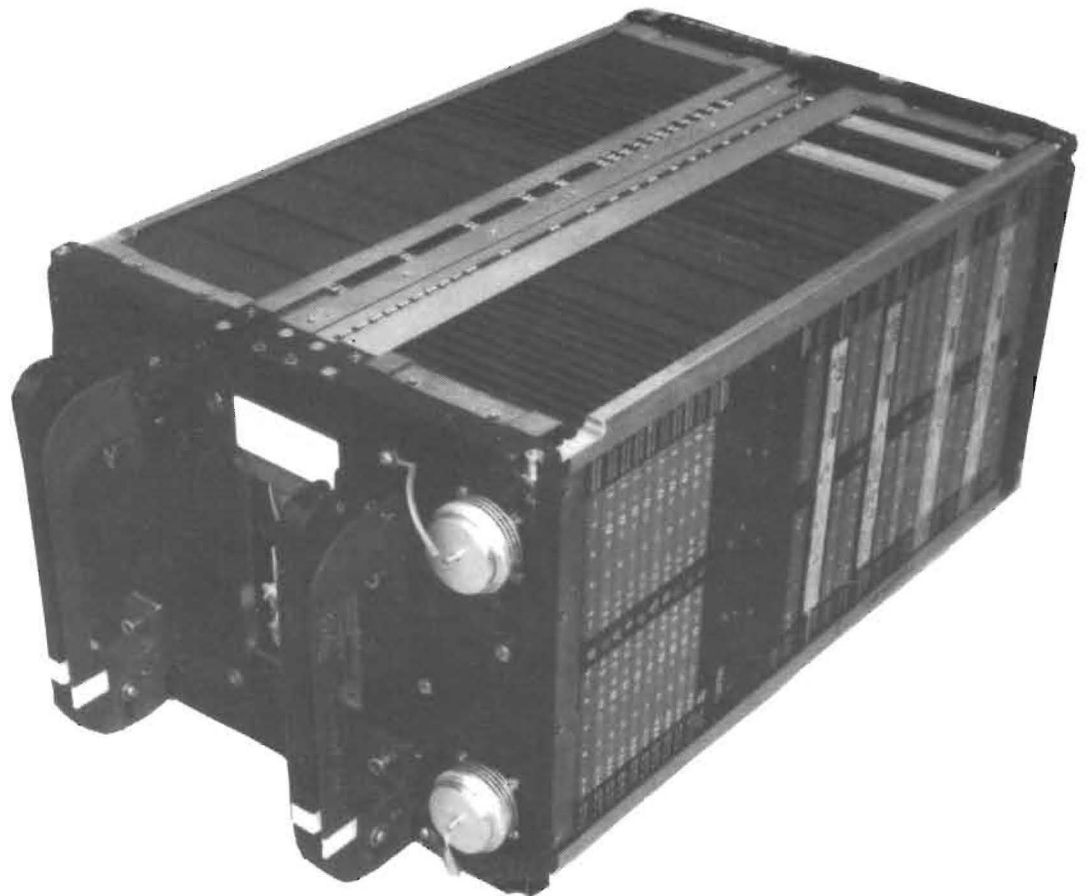


Bild 4. Datorn med borttagna sid- och takplåtar

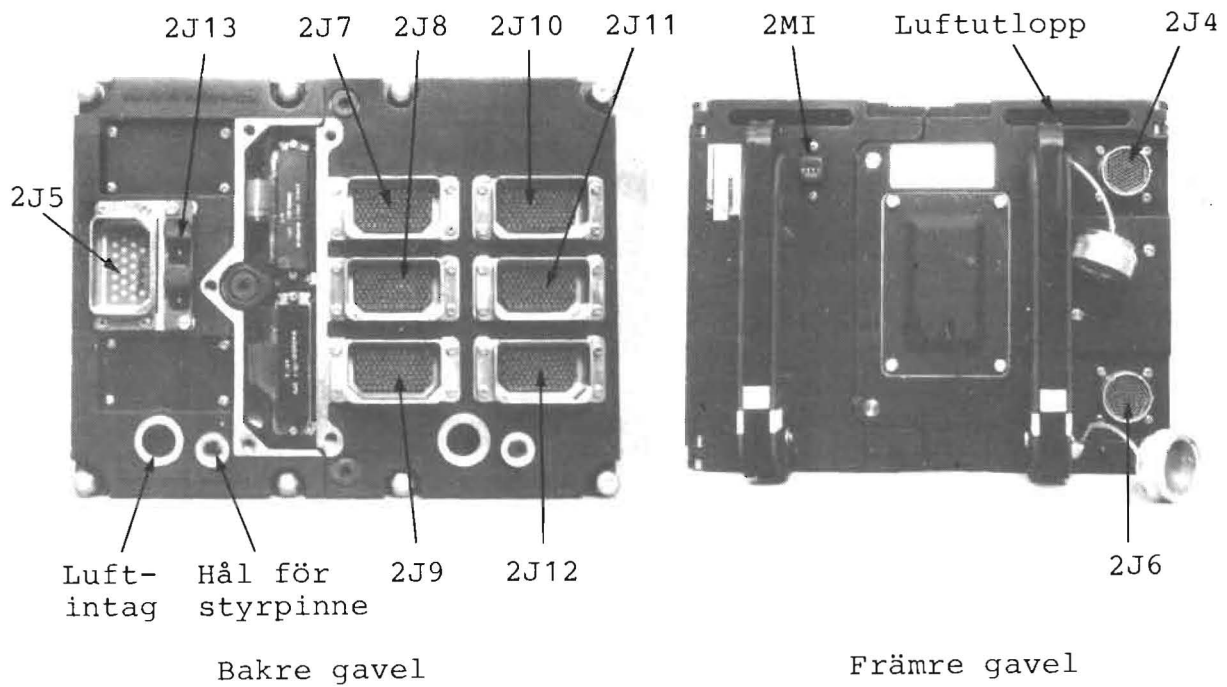


Bild 5. Utrustning på gavlar

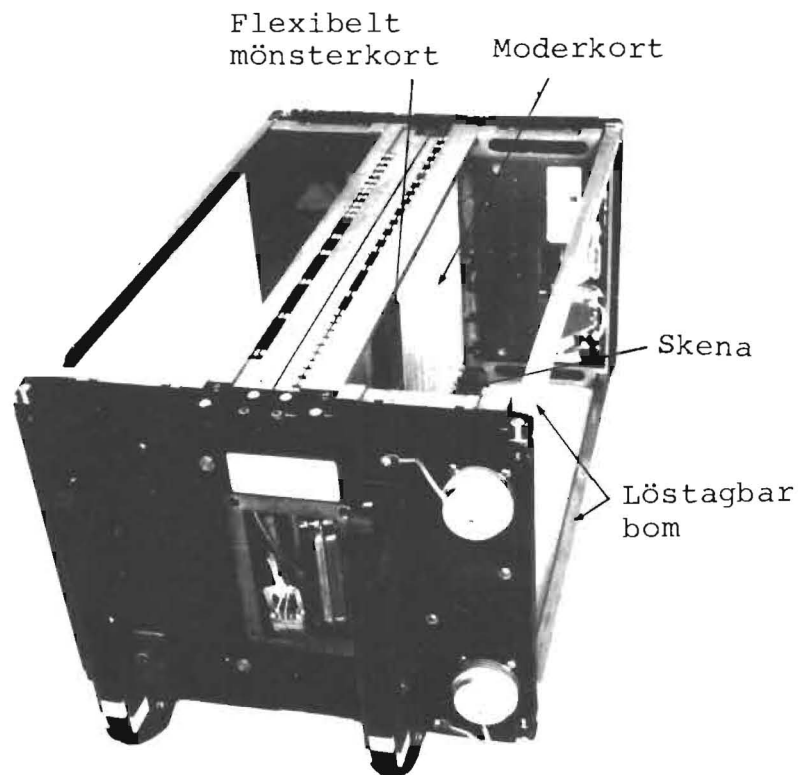


Bild 6. Datorn utan kortenheter

I bakre gaveln finns hål för styripinnar i flygplansracken. Styrpinnarna ger säker passning mellan datorns luftintag och flygplanets kylsystem samt mellan datorns in/ut-anslutningsdon i bakre gaveln, 2J5 och 2J7-2J13, och motsvarande anslutningsdon i racken.

Datorn består av två sektioner, täckta med löstagbara plåtar. Sektionerna är hopskruvade samt elektriskt hopkopplade över anslutningsdon. Varje sektion består av en främre och en bakre gavel, vilka hålls samman av två skenor och två löstagbara bommar, se bild 6. Mellan skenor och bommar sitter kortenheter. Genom att ta loss de två bommarna och lossa två skruvar för varje sektion kan man byta kortenheter utan att sektionerna behöver tas isär.

KORTENHETER

All elektronik, är uppbyggd på kortenheter, se bild 7. Deras placering i sektionerna visas på bild 8, se också avsnittet Benämningar och beteckningar.

Kortenheter tillhörande en underenhet är anslutna till ett gemensamt moderkort. Undantag är dock kraftkortet A14, som sitter på minneskortens moderkort, och A15, som sitter på centralenhetens moderkort, samt kort A29 "Memory Protect" som sitter på kraftenhetens moderkort. Förbindning mellan olika moderkort och mellan kontaktdon och moderkort är gjord med flexibla mönsterkort (flextape), se bild 6.

Kortenheter består av två kretskort limmade på varsin sida om en kortram. På kortramens undersida sitter en till tre rader med kontaktstift och två styripinnar som passar i motsvarande styrhål i moderkortet. I styripinnarna och styrhålen är 90-graderssegment urfrästa. Segmenten sitter i olika vinklar på varje kortenhet vilket gör att en kortenhet bara kan stoppas in på sin förutbestämda plats.

Vissa kortenheter har anslutningsdon på ovansidan, vilka dels förbinder de två kretskorten, dels används vid test.

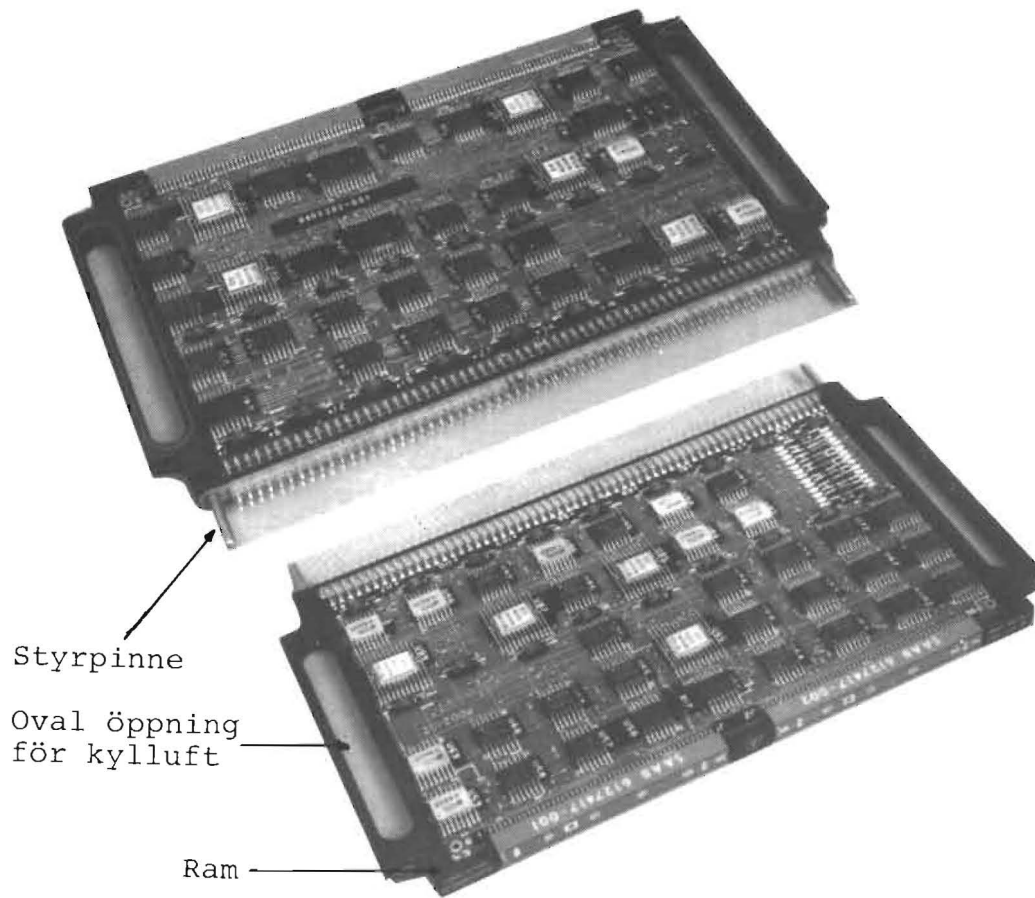


Bild 7. Kortenhet

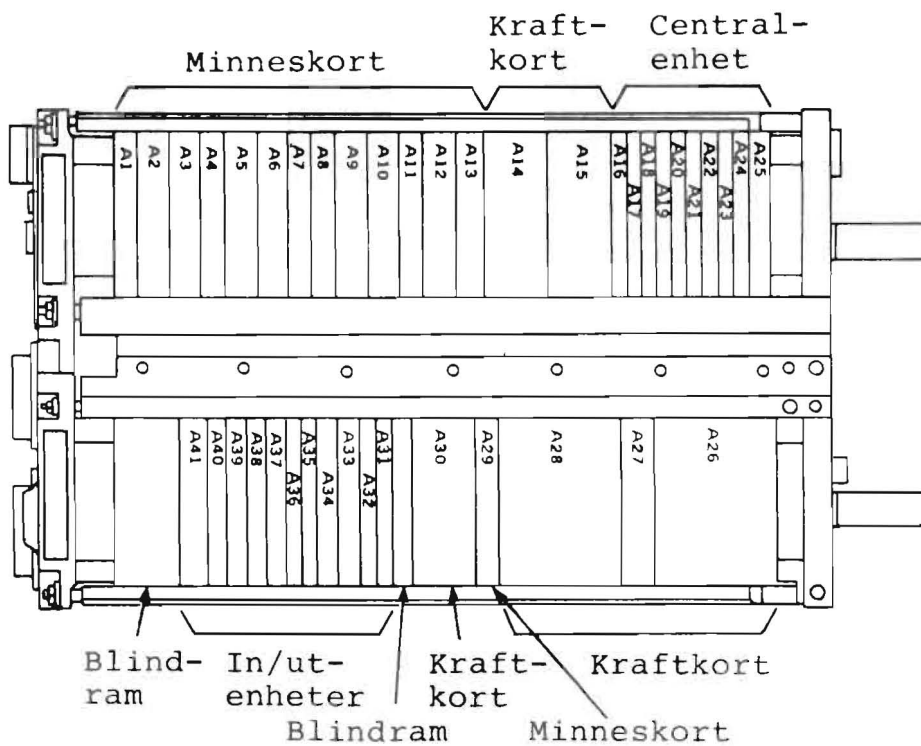


Bild 8. Kortenheternas placering

KYLLUFTKANALER

Kortramarna har ovala öppningar i varje sida, se bild 7. Dessa tätas med O-ringar när korten placeras intill varandra, varigenom en luftkanal bildas längs varje sida av korttraven. Kylluft från flygplanets kylsystem leds in i den nedre luftkanalen genom luftintag i bakre gaveln, se bild 5. Luften passerar sedan genom luftslitsar i kortramarna, upp mellan kretskortens baksida och genom den övre luftkanalen ut genom luftutlopp i gavlarna.

000

000

VERKNINGSSÄTT

ALLMÄNT

Datorn utbyter information med yttre enheter dels över ett tidsdelningssystem (TSS), och dels genom programkontrollerad in/ut-matning, se bild 9. Datorn skickar också styrsignaler till yttre enheter och tar emot avbrotts signaler.

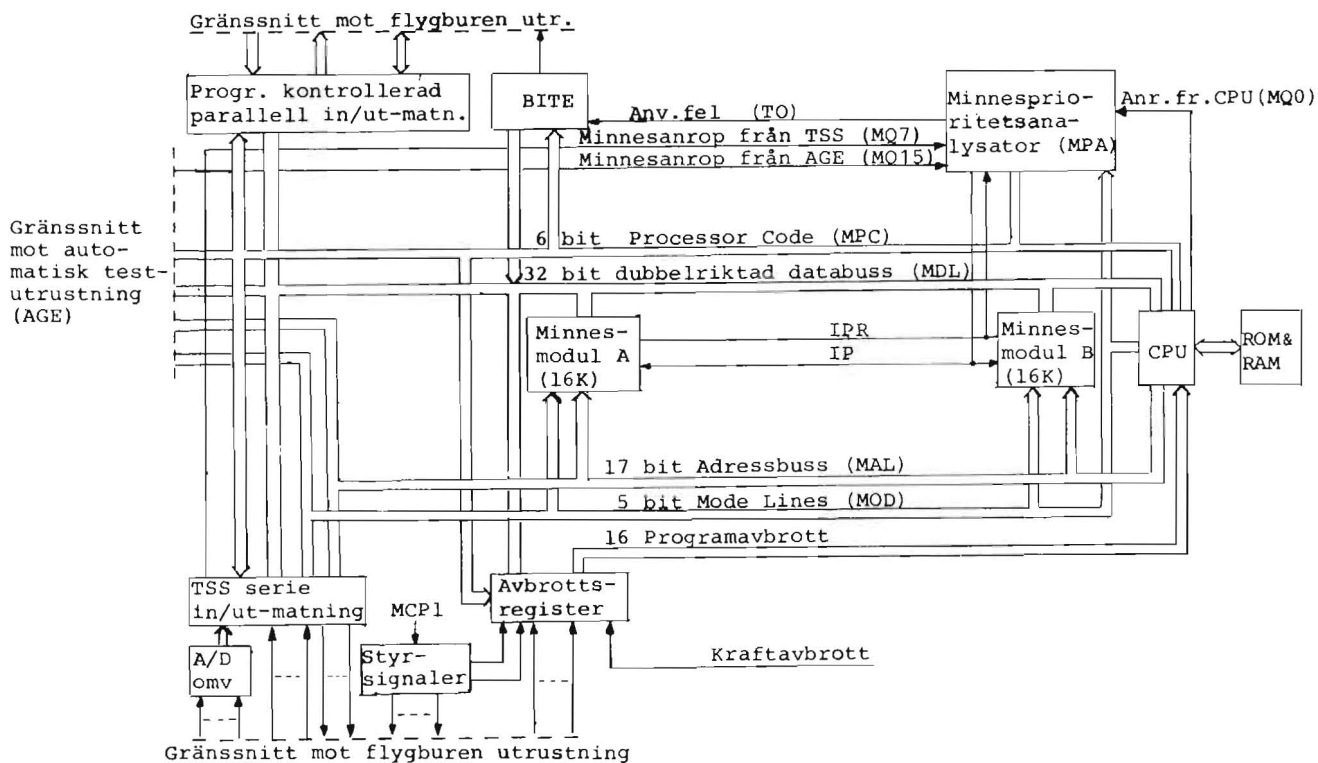


Bild 9. Dator 107/PM, funktionsblockschema

INSTRUKTIONSTYPER OCH DATAFORMAT

Instruktionerna delas upp i följande sju typer:

- "Basic" - aritmetiska och logiska operationer
- "Index Register Control" - kontroll av indexregistret
- "Shift" - skiftning av A och B registren
- "Jump" - villkorliga och ovillkorliga hopp
- "Non-memory reference" - instruktioner som ej berör minnet (typ NOP)
- "Block transfer" - överför datablock på maximalt 255 helord mellan kärnminnet och temporärminnet.
- "Input/Output" - in/utmatning av data mellan yttre enheter och kärnminnet eller A-registret.

Instruktionernas format visas på bild 10. Bilaga 1 innehåller en instruktionslista för Dator 107/PM.

Data kan ha två format. Det ena för fast tal, bild 11, och det andra för flyttal, bild 12. Vid fast tal skrivs negativa tal i tvåkomplementär form. Vid flyttal skrivs negativ exponent och negativ mantissa i tvåkomplementär form, varvid dock exponentens tecken är omvänd.

- Mantissans tecken 0= + eller noll, 1= -
- Exponentens tecken 0= - eller noll, 1= +

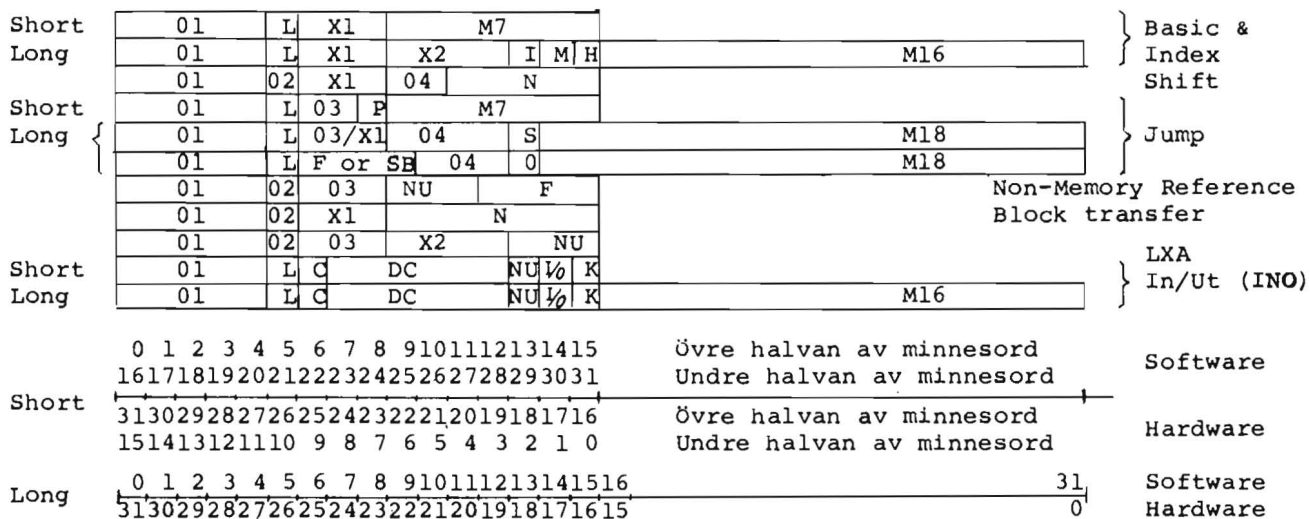


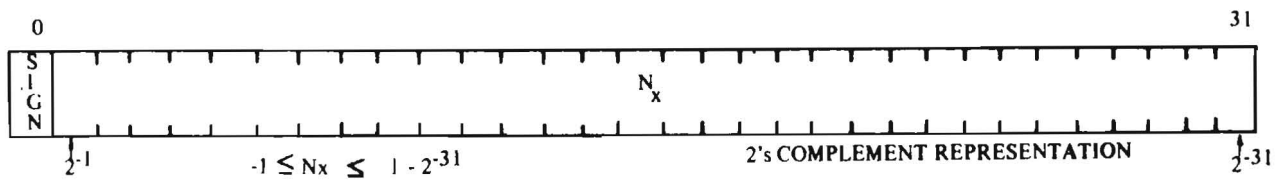
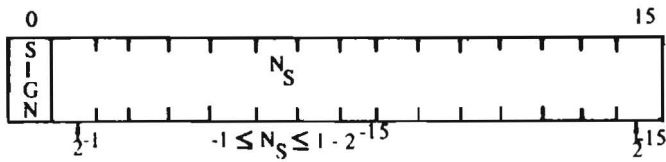
Bild 10. Instruktionsformat

Tabell 4. Beteckningar till instruktionsformat

Beteckning	Funktion
01	Operationskod
02, 03, 04	Operationskod (tilläggskod)
L	Format L=1: långt, L=0: kort
X1	Förstahands index (indexregister XR1-XR7)
X2	Andrahands index (indexregister XR1-XR15)
I	Indirekt adressering
M	Omedelbar adressering
H	Halvord, för index kontrollinstruktioner är H tilläggskod
M7, M16, M18	Basadress för operand
Beteckning	Funktion
F	Flaggor
N	Datablockets storlek eller antal steg vid skiftning (modifieras med eventuellt indexregister)
C	Allmän kontroll (applikationsbundet)
DC	Enhetskod. Följande binära koder används:
	TSS 010111
	Enkelriktade parallellkanaler 011010
	Dubbelriktade parallellkanaler 11XXXX*)
	Test av parallellkanaler 011000
	BITE 010101
	BITE 101010
	CCU (Computer Control Unit) 010000
	Avbrottsregistret i in/ut-enheten 011110
NU	Används ej (Not used)
I/O	In/ut. I/O= 1: inmatning, I/O= 0: utmatning
S	Indikerar att återhopsadress skall lagras (gäller hopp till subrutin)
K	K= 1: datorn väntar i max 3,75 μ s på "acknowledge" från yttre enhet, K= 0: datorn väntar ej
P	Indikator för hoppriktning (P=0: M7 adderas till programräknaren, P=1: M7 subtraheras från programräknaren)
SB	Statusbitar.

*)XXXX anger adress till yttre enhet.

BASIC FIXED POINT DATA FORMAT



EXTENDED (FIXED POINT) DATA FORMAT

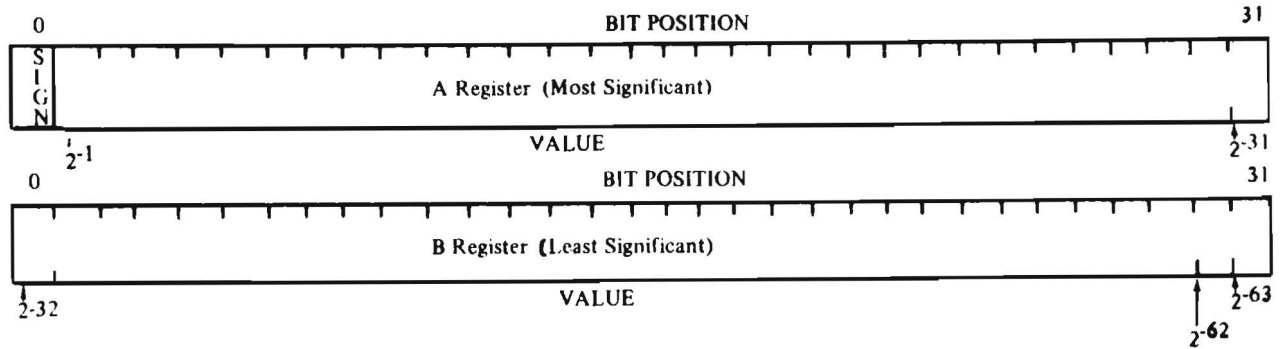
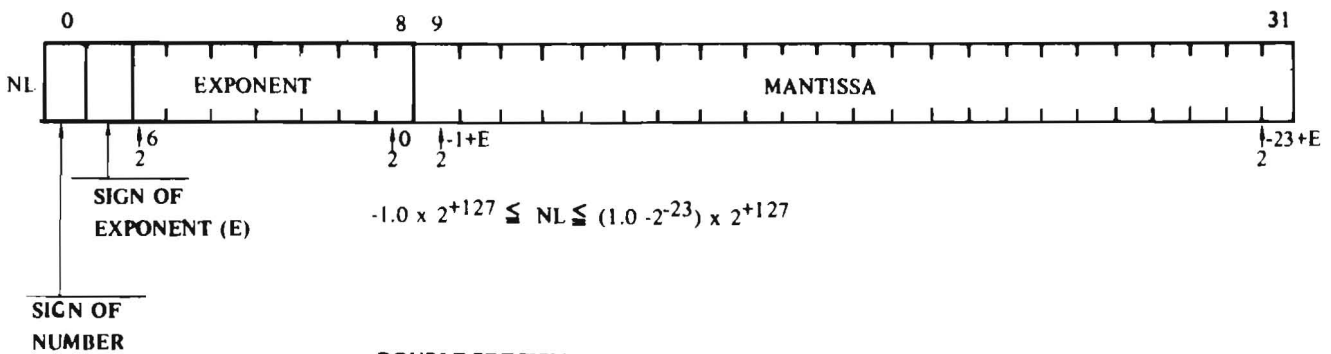


Bild 11. Dataformat vid fast tal (fixed point number)

BASIC FLOATING POINT DATA FORMAT



DOUBLE PRECISION FLOATING POINT DATA FORMAT

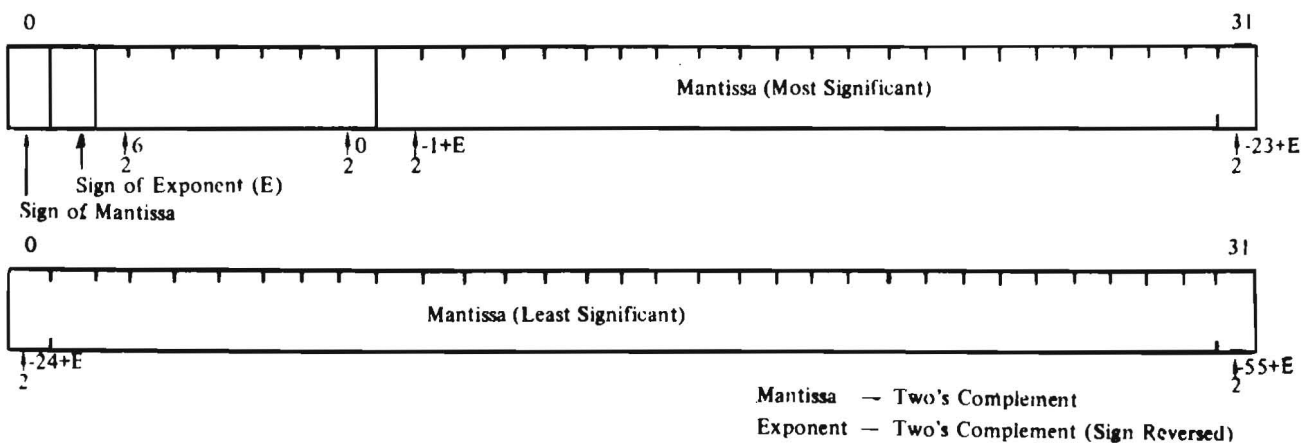


Bild 12. Dataformat vid flyttal (floating point number)

CENTRALENHET 107

Allmänt

Centralenhet 107 (CPU, Central Processing Unit) består av följande kortenheter, se bild 13:

- Kortenheter 1-4 (Arithmetic No 1-4) med register och beräkningslogik
- Kortenheter 5-8 (Program Interrupt, Process Control, Addend Bus Control resp. Register Control) för styrning och programavbrott
- Kortenheter 9 (Memory Priority Analyzer) med läsminne PROM och krets för analys av minnesanrop och bussprioriteter
- Kortenheter 10 (Scratch Pad Memory) med temporärminne
- Oscillator (Master Clock) med frekvensen $4 \text{ MHz} \pm 200 \text{ ppm}$ och pulslängden 40 ms (placerad i stommen).

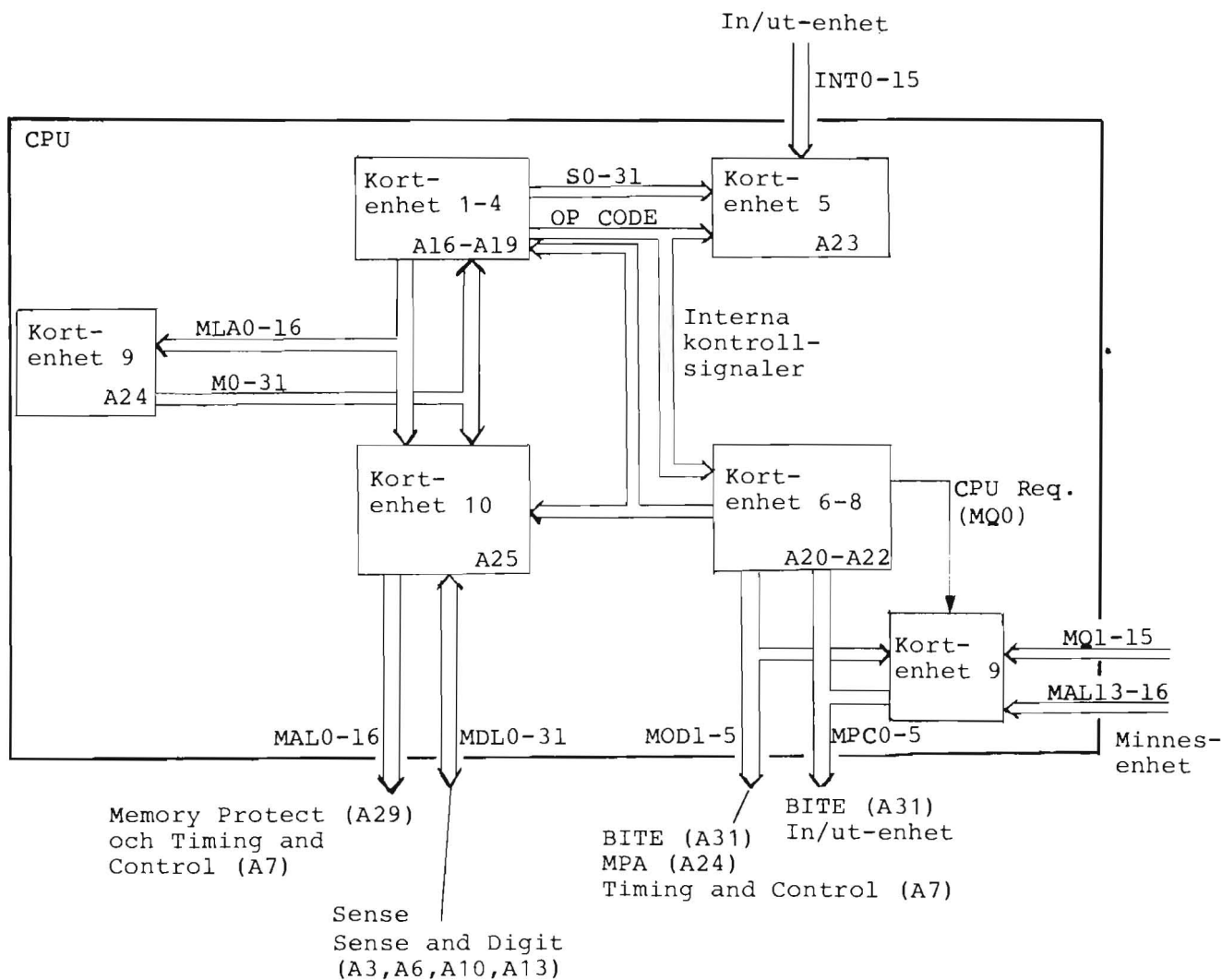


Bild 13. Centralenhetens kortenheter, blockschema

Minnesprioritetsanalysator

Minnesprioritetsanalysatorn MPA (Memory Priority Analyzer, A24) kan avkänna 16 minnesanropssignaler MQ 0-15 (Memory Request) och ge access till bussarna för det anrop som för tillfället har den högsta prioriteten. MQ 15 är den högsta prioriteten och MQ 0 den lägsta. Följande prioriteter används.

MQ 15 prioriterar automatisk testutrustning AGE

MQ 7 prioriterar tiddelningssystem TSS

MQ 0 prioriterar centralenhet CPU

”DMA Inhibit” råder då centralenhetens status bit ST 14=0 och serieinmatning inte pågår på TSS kanal 25, dvs TSS är inte i ”Load/Verify Mode” med DMIR=0. Alla minnesanrop behandlas då ST 14=1 eller TSS är i ”Load/Verify Mode”. ST 14 styrs på två sätt:

- nollsätts vid initiering då J1 har nivå +5 V
- kan ett- eller nollsättas av programvaran.

Signalerna MPC 0-5 (Memory Processor Code) visar vilken enhet som för ögonblicket har access till bussarna. MPC 0-5 bildas i MPA som funktion av inkomna MQ. Vid ”CPU Request” (MQ 0) och samtidig DMA-instruktion (MOD 3=0) bildas MPC 0-5 i kortenhet 6 (Processor Control/Timing, A21) ur signalerna IA 3-8 från IA-registret (Upper Instruction Register). Från kortenhet 6 fås alltså signalen MPC, vilken ger centralenheten access till bussarna. MPC 0-5 avkodas i in/ut-korten och i den interna övervakningskretsen BITE och ger upphov till styrsignaler i berörda kort.

Busförbindelser

I datorn finns följande busförbindelser, se bild 9:

- 32 bitars dubbelriktad databuss (MDL 0 -31)
- 17 bitars minnesadressbuss (MAL 0 -16)
- buss för styrsignaler, 5 bitars ”Mode Lines” (MOD 1-5)
- buss för styrsignaler, 6 bitars ”Processor Code” (MPC 0-5)
- buss för direkta styrsignaler mellan två kort

I CPU finns följande interna busförbindelser, se bild 13:

- 32 bitars databuss utgående från adderaren (S0-31)
- 32 bitars dubbelriktad databuss (M0-31)
- buss för styrsignaler

Aritmetik, styrning och register

Allmänt

Bild 14 visar ett blockschema över centralenheten.

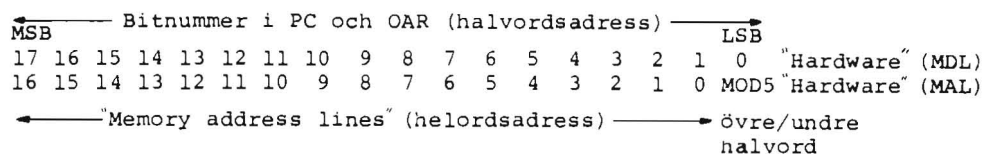
Adderare och multiplexer

Alla aritmetiska beräkningar sker i 32 bitsadderaren. De flesta dataöverföringar går också genom denna. Adderaren matas över "Augend" och "Addend Multiplexer" med innehållet i ett par bland nedanstående register (utom OAR). Vilka två register som skall släppas igenom multiplexerna bestäms av "Augend" respektive "Addend Select".

Register

- Register OAR och PC

Registren OAR (Operand Address Register) och PC (Program Counter) är båda på 18 bitar och används för att lagra minnesadresser. Sambandet mellan bitnummer i registren och MAL visas nedan:



I OAR lagras operandadressen. I PC lagras adressen till nästa instruktion. Båda matas från adderaren. Utgångarna går till adressväljare styrda från avbrottslogiken. Innehållet i det valda registret kan, via drivkretsar, adressera kärnminnet medan halvledarminnena adresseras direkt. Innehållet i PC kan också föras till adderaren för uppdatering. Vid exekvering av en kort instruktion ökas PC med + 1 medan den ökas med + 2 vid en lång instruktion. Vid hoppinstruktioner och liknande ändras PC enligt instruktionen. Vid normalt krafttillslag sätts PC till 00000. Efter ett kortvarigt kraftavbrott sätts PC till 00800 (hexadecimalt).

- Register A och B (Upper and Lower Accumulator)

Dessa generella högerskiftande register är på vardera 32 bitar. Bitnumreringen svarar mot hårdvarunumreringen på databussen. I A-registret, som matas från adderaren, lagras de flesta beräkningsresultat. B-registret används vid operationer med dubbel precision som en naturlig utökning av A-registret. B-registret kan matas från adderaren, A-registret eller från sig själv vid vänsterskift. Vänsterskift av A-registret sker med hjälp av adderaren.

- Register C och D

Dessa högerskiftande register är på vardera 32 bitar. C-registret kan matas från adderaren eller databussen. D-registret matas bara från databussen. I C-registret lagras operander från minnet. Det används också som divisor- och multiplikandregister. D-registret används som en utökning av C-registret vid flytande räkning med dubbel precision.

- Indexregister XR_i

CPU innehåller 64 stycken 18 bitars indexregister uppdelade i fyra grupper om 16 register. Vilken grupp som är aktuell bestäms av två bitar i statusregistret, ST 0 och ST 1, enligt tabell 5.

Tabell 5. Val av indexregistergrupp

ST 1	ST 0	Vald grupp
0	0	0
0	1	1
1	0	2
1	1	3

De 16 registren i en grupp kallas XR 0-15. Alla register i en grupp, utom register 0, är åtkomliga för Basic-instruktioner. XR 1-7 är också åtkomliga för vissa andra instruktioner, se avsnittet Instruktionstyper och dataformat. Sextio av indexregistren kan bl a användas för att modifiera operandadresser, medan de resterande fyra, XR 0 i varje grupp, endast används för vissa indexinstruktioner.

- Instruktionsregister IA och IB

Instruktionsregister är på vardera 16 bitar. IA matas från databussen MDL 16-31 eller från IB och lagrar den instruktion som exekveras. IB matas bara från databussen MDL 0-15 och används för att lagra antingen adressfältet i en lång instruktion eller nästa korta instruktion som skall behandlas.

- Statusregister ST

Statusregistret består av 16 bitar vilka används enligt följande "hardware notation" ("Software notation" är SR)

- ST 0-1 bestämmer aktuell indexregistergrupp enligt ovan
- ST 2-4 specificerar fält i temporärminnet och kärnminnet vilka används för operandadressering, "Paging", vid vissa korta instruktioner ("Basic" och "Index Control") utan indexering, dvs då X1=0 eller då X1=7 och ST6=1. Fältet ges i tabell 6.

Tabell 6. Specificering av fält i temporärminne och kärnminne

Minne	ST 4	ST 3	ST 2	Minnesadress (hexadecimal)	
				ST5=0, helord	ST5=1, halvord
Temporärminne	0	0	0	–	3E00 – 3E7F
	0	0	1	–	3E80 – 3EFF
	0	1	0	3E00 – 3EFE	3F00 – 3F7F
	0	1	1	3F00 – 3FFE	3F80 – 3FFF
Kärnminne	1	0	0	4000 – 40FE	4000 – 407F
	1	0	1	4100 – 41FE	4080 – 40FF
	1	1	0	4200 – 42FE	4100 – 417F
	1	1	1	4300 – 43FE	4180 – 41FF

- ST 5 specificerar om operandadressen är helord (ST5=0) eller halvord (ST5=1) vid korta Basic instruktioner
- ST 6 bestämmer hur XR 7 skall användas vid "Return to Memory Mode" dvs, då X1=7. Om ST6=0 används XR 7 för att beräkna den effektiva adressen till den plats i kortenhet 10 (Scratch Pad Memory) där operanden hämtats.
- ST 7 vid avkänning med hoppinstruktionen JGS är denna bit satt till 1 av hårdvaran. ST 7 kan i övrigt sättas och nollställas som övriga bitar.
- ST 8-11 programflaggor
- ST 12 "Carry out" vid addition med B-register. Observera att subtraktion görs genom addering av tvåkomplement vilket resulterar i en "carry".
- ST 13 anger dubbel precision då den är 1.
- ST 14 anger "DMA Enable" då den är 1.
- ST 15 anger "Program Interrupt Enable" då den är 1.

Alla statusbitar nollställs vid initiering.

- Register PI
Registret PI (Program Interrupt Mask Register) innehåller en maskbit för alla programavbrott utom kraftfrånslag, INT 15. Vid krafttillslag nollställs maskregistret, dvs INT 0-14 maskas bort, se avsnittet Programavbrott.

Följande register är tillgängliga för programmeraren: A, B, PC, XR, ST och PI. Beroende på vilken instruktion som exekveras kommer någon eller några av dessa att ändras. Även andra register ändras men dessa används bara för mellanlagring av data.

Styrning

Styrningen kan delas upp i följande sex block:

- "Instruction Decode" avkodar instruktionerna och styr de tre följande blocken.
- "Addend Select" styr "Addend Multiplexers"
- "Augend Select" styr "Augend Multiplexers"
- "Phase and Execution Control" genererar alla klockpulser som behövs för att exekvera en instruktion. Detta block innehåller också en 8-bitars skift-räknare vilken används både för att styra antalet skiftningar under en skift-instruktion och för att kontrollera exekveringstiderna för vissa typer av långa instruktioner som multiplicering och division.
- "Branch Control" känner av adderaren under alla hoppinstruktioner

- "Program Priority Interrupt" tar emot alla 16 programavbrott och initierar hopp till avbrottsrutiner för de avbrott som ej är maskade av PI.

Till dessa kommer "Data Format Control" som formaterar all inkommande och utgående data till minnet. Formatet är antingen halvord (16 bitar) eller helord (32 bitar).

Minnesadressering

Halvledarminnen

De två halvledarminnena adresseras direkt av den interna adressbussen MLA 0-16, se bild 13. När en adress som tillhör dessa minnen uppträder på MLA behöver de bara en skriv/läs-signal och en "Enable"-signal från styrkretsarna för att ta emot eller lägga ut data på den interna databussen S 0-31.

Signaler till kärnminnet

De signaler som går till och från kärnminnet visas på bild 15.

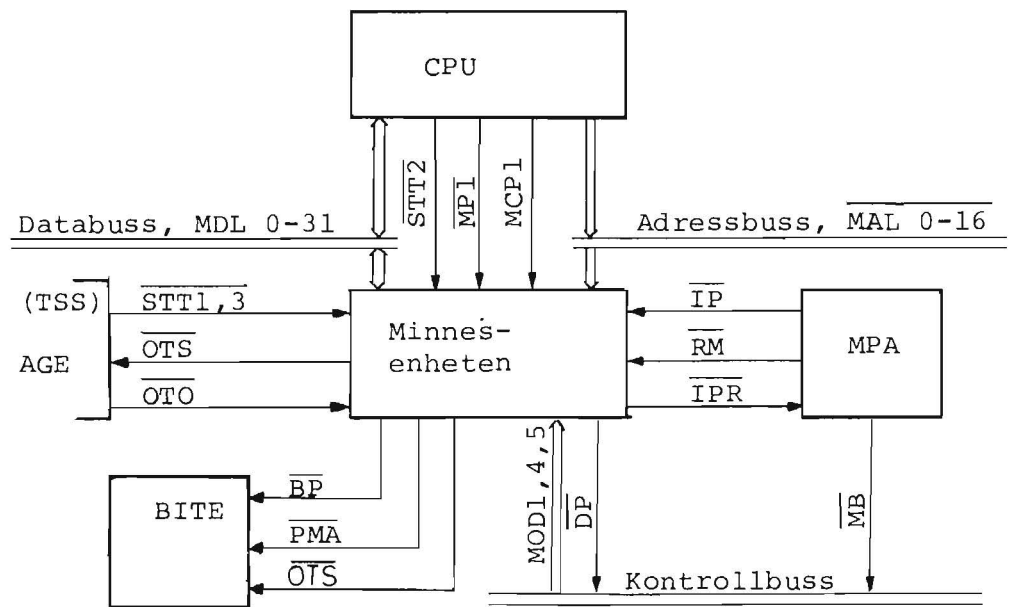


Bild 15. Signaler till och från kärnminnet

- IP, "Initiate Pulse" startar minnescykeln.
- IPR, "Initiate Acknowledge" visar att minnescykeln startat.
- MAL, "Memory address Lines" är 17 adresssignaler, varav de 13 minst signifikanta, MAL 0 - 12, anger helord och MAL 13, 14 och 15 anger minnesmodul. MAL 16 är alltid 0, se bild 27.
- MDL, "Memory Data Lines" är 32 datasignaler där MDL 0 är LSB och MDL 31 är MSB.
- MOD, "Memory Mode Lines" är fem kontrollsignaler som bestämmer minnesmode enligt tabell 7. MOD 2 och 3 avkodas i CPU. MOD 1 anger om det är en skriv eller läsoperation. MOD 4 anger halv eller helord. MOD 5 anger om det är det övre (MDL 16-31) eller undre (MDL 0-15) halvordet.
- MCP1, "Master Clock Pulse", minnets interna operationer är inte synkrona med MCP, men med hjälp av MCP 1 synkroniceras in- och utgående styr-signaler.
- RM, "Release Memory" används av minnet för att släppa MDL och nollställa DP.
- DP, "Data Available" visar att data är tillgängligt.
- MP1, "Memory Prime" startar minnets initiering vid kraftbortfall längre än 35 s.
- MB, "Memory Busy" visar att en minnescykel pågår (intern signal i minnesenheten).
- BP, "BITE Power" kortenhet "Memory Protect" har detekterat spänningsfel.
- PMA, "Protected Memory Address" sätts vid försök till skrivning i skrivskyddade områden.
- OTS, "Overtemp Sensing" sätts vid templarm från kraftenheten.
- OTO, "Overtemp Override" sätts från CCU och inhiberar OTS.

Tabell 7. Avkodning av "Memory Mode"-signaler

MODE	WORD LENGTH		SUB MODE	M	M	M	M	M	MEMORY & PROCESSOR ACTIONS			
				O	O	O	O	O				
				D	D	D	D	D				
				5	4	3	2	1				
INSTRU. ACCESS	FULL WORD		READ-RESTORE	X	0	0	0	0	MEMORY READ/RESTORES 32 BITS PROCESSOR FORMATS 32 BITS			
	HALF WORD (Jump to odd location)			1	1	0	0	0	MEMORY READ/RESTORES BITS 0-15 PROCESSOR FORMATS TO HALF-WORD BITS 16-31			
OPERAND ACCESS	DMA	FULL WORD		READ-RESTORE	X	0	0	0	0	MEMORY READ/RESTORES 32 BITS PROCESSOR FORMATS 32 BITS		
				CLEAR-WRITE	X	0	0	0	1	MEMORY CLEAR/Writes 32 BITS PROCESSOR FORMATS 32 BITS		
	HALF-WORD	UPPER MDL BITS 16-31	READ-RESTORE	0	1	0	0	0	MEMORY READ/RESTORES BITS 16-31 PROCESSOR FORMATS TO HALF-WORD BITS 16-31			
			CLEAR-WRITE	0	1	0	0	1	MEMORY CLEAR/Writes BITS 16-31 PROCESSOR FORMATS FOR HALF-WORD BITS 16-31			
	LOWER MDL BITS 0-15	READ-RESTORE	1	1	0	0	0	MEMORY READ/RESTORES BITS 0-15 PROCESSOR FORMATS TO HALF-WORD BITS 16-31				
		CLEAR-WRITE	1	1	0	0	1	MEMORY CLEAR/Writes BITS 0-15 PROCESSOR FORMATS FOR HALF-WORD BITS 16-31				
	INO	FULL-WORD	SHORT	PROCESSOR-PROCESSOR	X	0	1	0	0	MEMORY DOES NOT RESPOND TO PROCESSORS CONTROL DATA LINES		
			LONG	READ-RESTORE	X	0	1	1	0	MEMORY READ/RESTORES 32 BITS PROCESSOR FORMATS 32 BITS		
		CLEAR-WRITE		X	0	1	0	1	MEMORY CLEAR/Writes 32 BITS PROCESSOR FORMATS 32 BITS			

X = DON'T CARE

Kärminnets tidsdiagram

Ett ungefärligt tidsdiagram för kärminnet visas på bild 16.

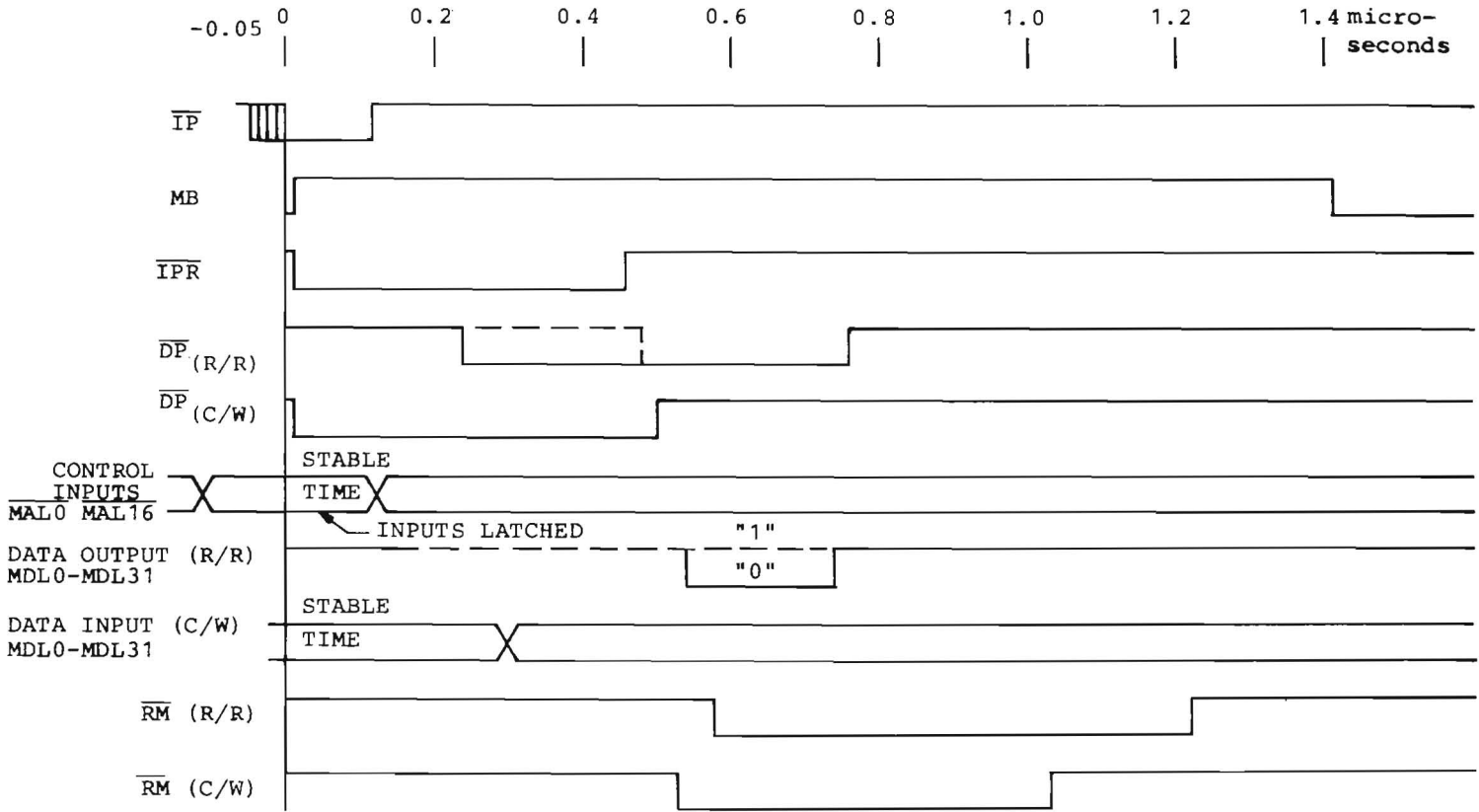


Bild 16. Tidsdiagram för minnescykel

AVBROTTSYSTEM

Allmänt

Avbrottsystemet informerar CPU om händelser som måste åtgärdas. Det kan vara t ex en initierad överföring som är klar, en yttre enhet som har data att leverera eller ett fel som uppstått.

Programavbrott

Ingående delar

Systemet för programavbrott består av en del i centralenheten (Program Interrupt, A23) och en del i in/ut-enheten. Hårdvaran i centralenheten är generell, medan den i in/ut-enheten är applikationsberoende och sänder avbrotts-signaler till centralenheten. Båda måste styras av centralenhetens program för att kunna genomföra ett avbrott.

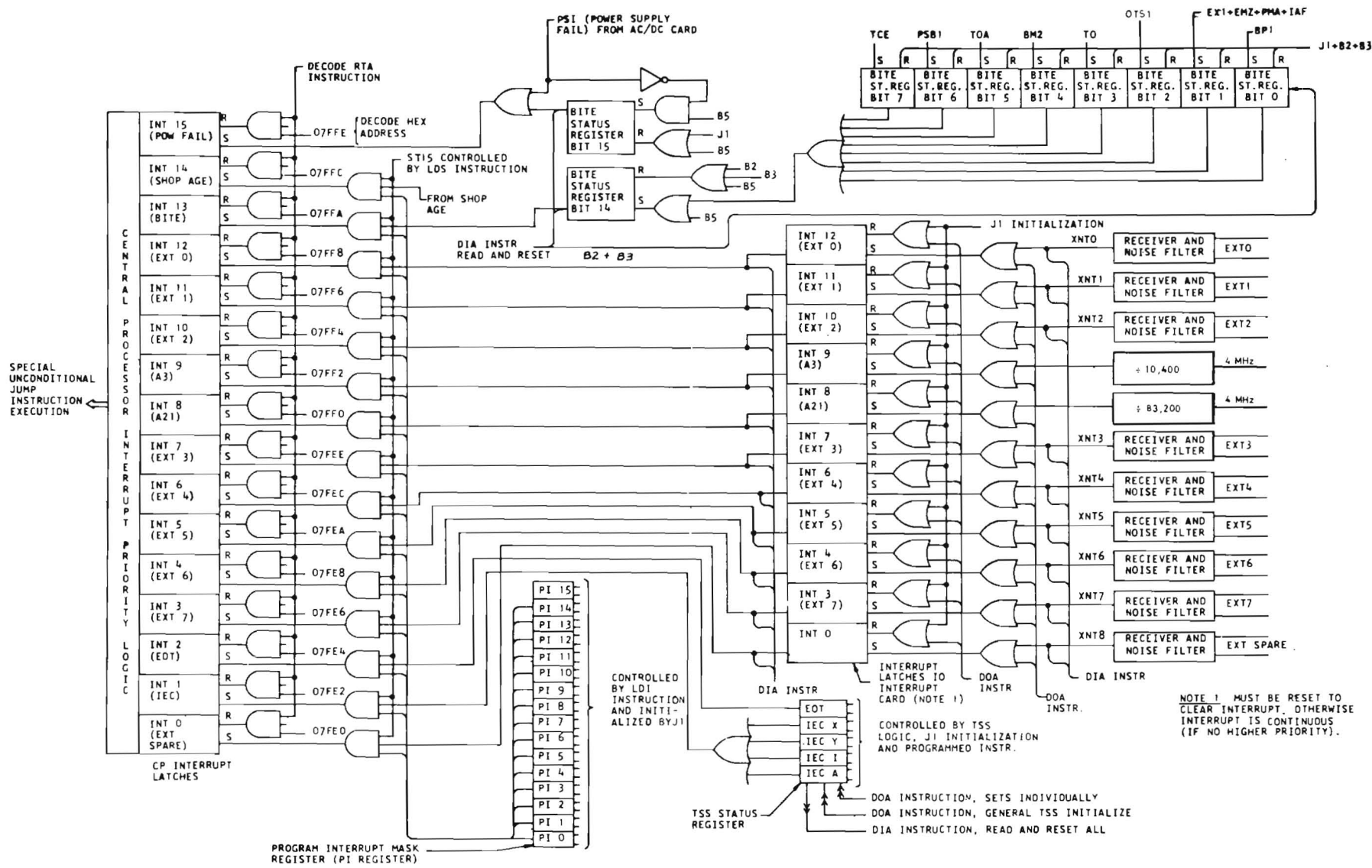
Avbrottsystemet innehåller hela eller delar av de register som omnämns i tabell 8.

Tabell 8. Register med avbrottsfunktioner

Kortenhet	Register
"Program Interrupt" (A23)	<ul style="list-style-type: none">• "Program Interrupt Latches", 16 bitar, i CPU.• "Program Interrupt Mask Register", 16 bitar (bit 15 används inte för maskning), i CPU.• "Status Register", bit 15 av 16 bitar (ST15), i CPU.
"Timing and Interrupt" (A32)	<ul style="list-style-type: none">• "External Interrupt Register", 11 bitar för kortenhet "Sense and Digit" (A3) och "Process Control" (A21) samt för yttre avbrott i in/ut-enhet.
"BITE" (A31)	<ul style="list-style-type: none">• "BITE Status Register", bitarna 14 och 15 av de 16 bitar, i in/ut-enhet.
"TSS No 2 (A38)	<ul style="list-style-type: none">• TSS Status Register", 5 bitar av 16, i in/ut-enhet.• Ett register för DOA-och DIA-instruktioner, 32 bitar, i CPU.• Ord i minnet för lagring av adresser för hopp till början av avbrottsprogrammet, 16 ord om 32 bitar.• Ord i minnet för lagring av den återhopsadress vid vilken det exekverande programmet blir avbrutet, 16 ord om 32 bitar.

På blockschemat, bild 17, visas samverkan mellan register och kontrollsignaler.

Bild 17. Kretsar för programavbrott, blockschema



Behandling av programavbrott i CPU

Kortenhets 5 (Program Interrupt, A23) tar emot 15 signaler från in/ut-enheten och en signal från anslutningsdonet för testutrustning AGE. Dessa signaler kallas programavbrott och betecknas INT 0-15. Centralenheten behandlar dem på följande sätt:

- Varje avbrott har en fast svarprioritet. Prioriteterna är sekventiellt fördelade med den högsta prioritet för INT 15 och den lägsta för INT 0.
- När ST 15 i CPU status register är en nolla, svarar centralenheten inte på några programavbrott utom INT 15.
- När ST 15 är en etta svarar centralenheten på alla programavbrott som aktiveras så vida de ej är bortmaskade.
- I CPU finns ett 16 bitars PI-register (Program Interrupt Mask Register). Varje bit i detta register är associerat till ett bestämt programavbrott. När en viss bit i registret är en etta skall CPU svara på motsvarande programavbrott när det aktiveras. Om biten är en nolla och motsvarande programavbrott sätts från in/ut-enheten skall CPU inte svara förrän maskbiten sätts till en etta och ST15=1. Avbrottsregistret i in/ut-enheten övervakar och sparar kontinuerligt inkommande avbrott oberoende av hur PI-registret är satt.
- Till varje avbrottsignal hör två helord i kärnminnet. Det ena ordet är inte skrivskyddat och används för att lagra innehållet i programräknaren när avbrottet inträffar. Det andra ordet är skrivskyddat (så länge STT 1 är logisk nolla) och innehåller ett ovillkorligt hopp till början på tillhörande avbrottsprogram.

I tabell 9 ges halvordsadresserna till de två orden för respektive programavbrott.

Tabell 9 Programavbrott och minnesadresser

Funktion	Avbrott	Adress för lagring av startadress		återhopsadress	
		Hexadec	Decimal	Hexadec	Decimal
EXT INT (SPARE)	INT 0	07FA0	32672	07FE0	32736
TSS END OF CHANNEL	INT 1	07FA2	32674	07FE2	32738
TSS END OF TRANSM	INT 2	07FA4	32676	07FE4	32740
EXTERNAL INT 7	INT 3	07FA6	32678	07FE6	32742
EXTERNAL INT 6	INT 4	07FA8	32680	07FE8	32744
EXTERNAL INT 5	INT 5	07FAA	32682	07FEA	32746
EXTERNAL INT 4	INT 6	07FAC	32684	07FEC	32748
EXTERNAL INT 3	INT 7	07FAE	32686	07FEE	32750
A21 INTERRUPT	INT 8	07FB0	32688	07FF0	32752
A3 INTERRUPT	INT 9	07FB2	32690	07FF2	32754
EXTERNAL INT 2	INT 10	07FB4	32692	07FF4	32756
EXTERNAL INT 1	INT 11	07FB6	32694	07FF6	32758
EXTERNAL INT 0	INT 12	07FB8	32696	07FF8	32760
BITE	INT 13	07FBA	32698	07FFA	32762
SHOP AGE	INT 14	07FBC	32700	07FFC	32764
POWER FAIL	INT 15	07FBE	32702	07FFE	32766

INT 11 används för minnesladdning från yttre minne medan övriga "external INT" ej används i fpl JA37.

- När ett programavbrott sätts och inget avbrott med högre prioritet behandlas av CPU eller är aktivt, genomför CPU följande steg
 1. Avslutar pågående instruktion på normalt sätt.
 2. Hämtar nästa instruktion från den minnesplats som anges i tabell 9. Om t ex INT 12 aktiverats skall nästa instruktion alltid vara en hoppinstruktion (long jump, JU) till en minnesplats.
 3. CPU för först över innehållet i programräknaren (Program Counter) till den minnesposition som anges av tabell 9. Vid t ex INT 12 lagras innehållet i PC i minnesposition 07FF8 (och 07FF9). Därefter utförs JU instruktionen på vanligt sätt, dvs hoppinstruktionens effektiva adress sätts in i PC.
 4. CPU går sedan vidare till den minnesposition som anges av hoppinstruktionen och börjar exekvera den instruktion som finns lagrad där.

- När CPU har svarat på ett visst avbrott kommer den att behandla avbrott med högre prioritet enligt föregående punkt. Anrop med samma eller lägre prioritet blir inte besvarade förrän CPU har exekverat en RTA-instruktion (Return Address) med den effektiva adress, enligt tabell 9, som gäller för det behandlade avbrottet. Avkänningen av att rätt återhopsadress använts är hårdvarubunden, se bild 17. Efter RTA behandlar CPU den närmast lägre aktiva avbrottskanalen.

På bild 18 visas ett exempel på hur avbrott behandlas.

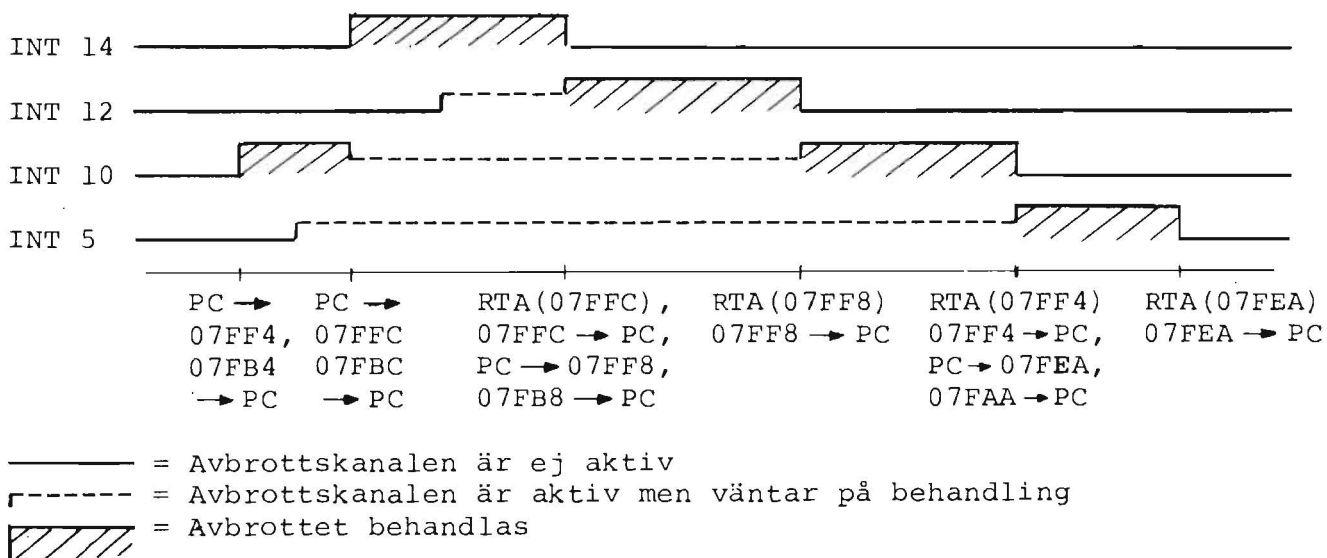


Bild 18. Behandling av avbrott

Behandling av programavbrott i in/ut-enheten

I tabell 9 visas hur de 16 avbrottskanalerna används. Alla avbrott utom INT 14 genereras eller behandlas i in/ut-enheten. INT 14 kommer från yttre testutrustningar över anslutningsdonen AGE.

- INT 0, INT 3-12

Dessa elva programavbrott genereras i in/ut-enhetens kortenhet 8 (Timing and Interrupt, A32). INT 8 och INT 9 skapas i kortenhet 8 som en funktion av klockavbrottssignalerna S3 och S21, INT 8 vid framkanten på S21 och INT 9 vid framkanten av S3. De övriga nio avbrotten skapas vid externa avbrott.

Till varje avbrottskanal hör en JK-vippa (vippa A på bild 19), som sätts av varje anrop. Vippans utgång ger avbrottssignalen INT Y. Vippan förblir satt tills den nollställs av en DOA-instruktion med en speciell enhetskod och operationskod, som framgår av tabell 10. Instruktionen nollställer de vippor för vilka motsvarande bit i operanden i A-registret är satt till logisk etta. Sambandet mellan bitnumren i A-registret och de olika avbrottskanalerna visas i tabell 11.

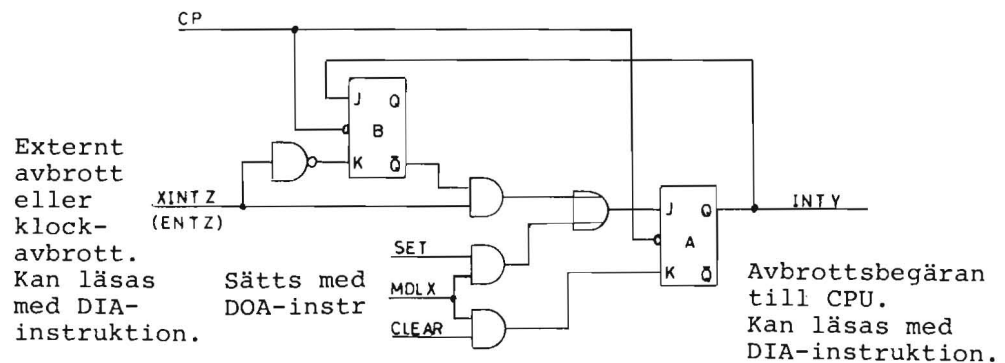


Bild 19. JK-vippa i avbrottskanal

Vippa B gör att anropet från den yttre enheten måste återgå till sitt viloläge, innan ett nytt avbrott kan initieras.

De fyra av centralenhetens kommandon som berör dessa kretsar visas i tabell 10. I tabell 11 visas det dataformat som hör till kommandona. Kommando (1) och (2) nollställer respektive ettställer de avbrottsvippor som specificeras av innehållet i A-registret. Kommando (3) och (4) läser till A-registret vilka avbrott som är aktiva respektive vilka anrop som är aktiva. Kommando (2), (3) och (4) används för teständamål.

Tabell 10. Format "I/O program interrupt INO command"

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MDL	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	OP				L	C	DC						-	I/O	K		
Command (1)	0	1	0	0	1	0	0	0	1	1	1	1	0	0	0	0	Reset Selected Interrupts
Command (2)	0	1	0	0	1	0	1	0	1	1	1	1	0	0	0	0	Set Selected Interrupts
Command (3)	0	1	0	0	1	0	0	0	1	1	1	1	0	0	1	0	Read Interrupts
Command (4)	0	1	0	0	1	0	1	0	1	1	1	1	0	0	1	0	Read External System Interrupt Receivers

Tabell 11. Format "Interrupt data"

MDL	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	---	1	0	
	X	X	X	I	I	I	I	I	I	I	I	I	I	X	X	I	X	X	---	X	X	Data Format For Com- mands (1), (2), and (3) of Table 10
				N	N	N	N	N	N	N	N	N	N			N						
				T	T	T	T	T	T	T	T	T	T			T						
				12	11	10	9	8	7	6	5	4	3			0						
	X	X	X	X*	X	X		X	X	X	X	X	X	X	X	X	X	X	---	X	X	Data Format For Com- mand (4) of Table 10
				N	N	N	X	X	X	X	X	X	X	X	X	N						
				T	T	T		T	T	T	T	T	T	T	T	T	T	T				
				0	1	2		3	4	5	6	7				8						

*Note; XNTi for i = 0, 1 ... 8 is the output of the receiver of the corresponding external interrupt EXTi for i = 0, 1 ... 8.

X = Logic level of bit read into the CP is indeterminate.

Bild 20 visar en mottagare för externa avbrott. Kapacitansen på 6800 pF minskar brus känsligheten. Anropet måste pågå (T_{on}) minst 10 μs och vara i sitt viloläge (T_{off}) minst 10 μs för att säkerställa att datorn registrerar händelsen.

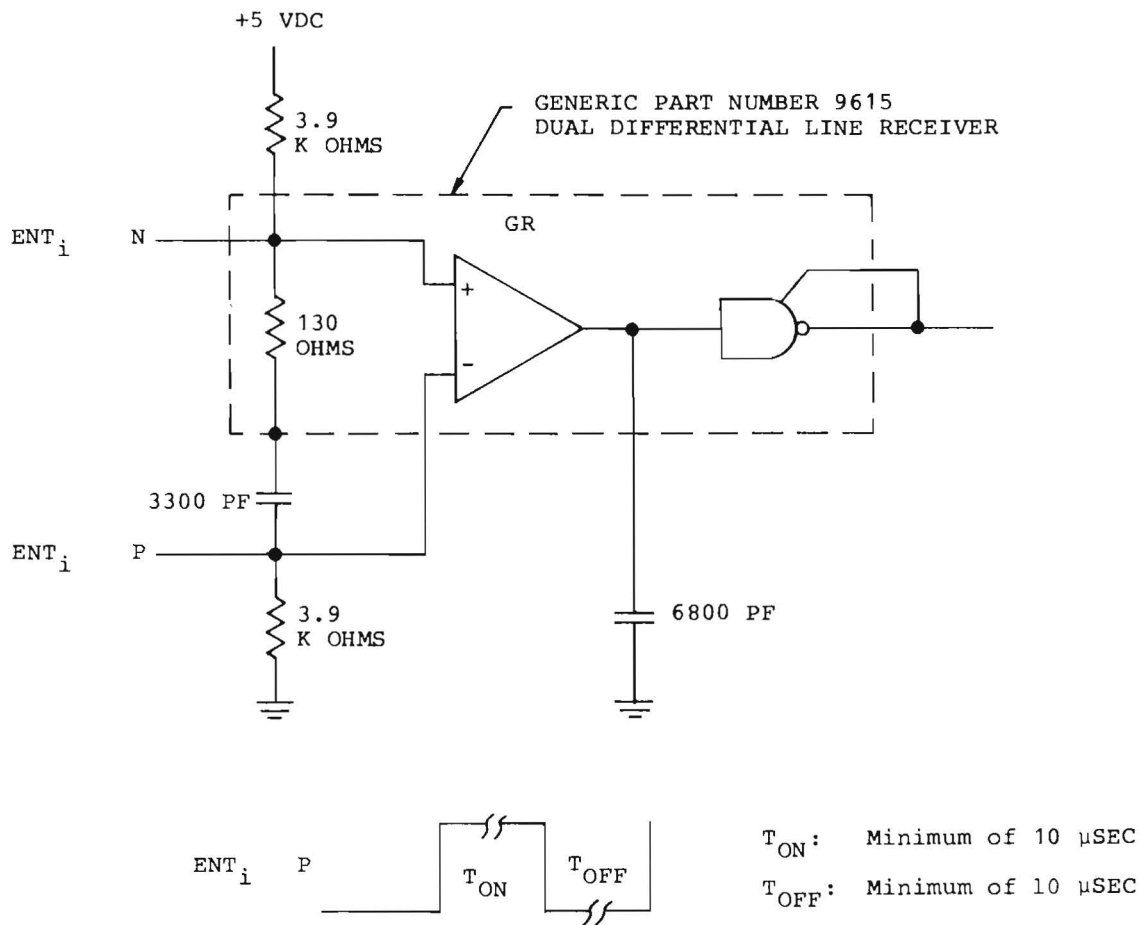


Bild 20. Mottagare för externa avbrott

- INT 1 och INT 2

Dessa två avbrott genereras av TSS (Time Scheduled System). INT 2 är avbrott för EOT (End of Transmission) och markerar slutet på TSS-cykeln. INT 2 sätts när alla "controllers" har stannat. Avbrottet är en indikation till CPU att TSS har fullbordat en PCW-cykel (Program Control Word).

INT 1 är avbrott för "End of Channel". Detta sätts när en "controller" har avslutat bearbetningen av ordet SCC (Serial Channel Command Word), om bit 16 i SCC ordet var satt till 1. Dessa avbrott beskrivs närmare i avsnittet In/ut-enhet 107.

- INT 15

Varningssignalen för kraftbortfall, PSI, från kortenhet AC/DC (A28) ger, över en OR-grind i BITE, direkt upphov till INT 15. Avbrottssignalen varar så länge PSI är aktiv och kan inte nollställas från CPU. Villkoren för PSI beskrivs i avsnittet Kraftenhet. INT 15 kan också för teständamål sättas och nollställas av programvaran över en vippa i BITE.

- INT 13

Detta avbrott sätts av BITE då någon eller några av tretton olika BITE-signaler är aktiva, se avsnittet BITE statusregister. INT 13 förblir satt till dess den nollställs av CPU vilket måste ske innan INT 13-rutinen avslutas. Nollställningen sker med BITE B2 eller B3 kommando. Dessa två kommandon används för att läsa in BITE status register till register A i CPU. För teständamål kan INT 13 sättas och nollställas av BITE B5 kommando, se avsnittet BITE-instruktioner.

- INT 14

Detta avbrott kommer från utrustning som ansluts till anslutningsdonen AGE och går direkt till CPU utan att lagras i någon vippa i in/ut-enheten. När CCU (Computer Control Unit) är ansluten genereras avbrottet av sex olika källor: "Typewriter Output", "Utility Interrupt", "Trace Interrupt", "Typewriter Input", "Tape Punch" and "Tape Reader".

Tidsavbrott

När tidsavbrott uppstår genereras i samtliga fall programavbrott (INT 13) från BITE, se avsnittet BITE. Tidsavbrott uppstår

- om en enhet med DMA (Direct Memory Access) inte sänder signalen MR (Memory Release) till minnesprioritetsanalysatorn MPA inom 4-8 μ s. MPA sänder då signalen TO (Time Out) till BITE.
- om minnet inte svarar med signalerna IPR (Initiate Acknowledge) eller DP (Data Present) till MPA inom 4 μ s efter start av minnet, dvs signalen IP (Memory Initiate Pulse) från MPA. MPA sänder då signalen BM2 (BITE Memory Two) till BITE.

- om programvaran inte har nollställt en tidsövervakare kallad Watchdog Timer i BITE inom en given tidslucka (Δt) enligt bild 21.

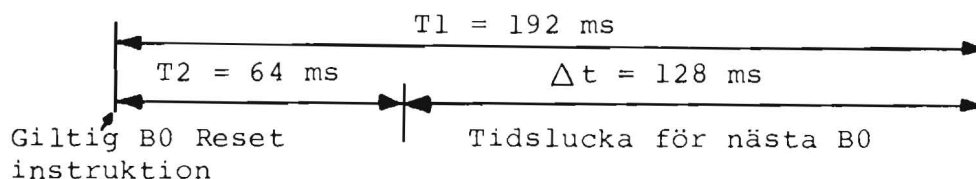


Bild 21. Tidslucka för "Watchdog Timer"

Tidsövervakaren består av två räknare, se bild 22. Räknarna genererar pulser med tidsavstånden T_2 och T_1 där $T_1 > T_2$. Skillnaden i tider (Δt) bildar ovan nämnda tidslucka. Räknaren återställs till strappade utgångsvärden, se nedan, av en B0-instruktion med $A_0=1$, förutsatt att instruktionen exekveras inom tidsluckan, se avsnittet BITE-instruktioner. T_2 -räknaren innehåller ett steg som ger +4 ms tolerans åt Δt . Om instruktionen exekveras utom tidsluckan påverkas inte räknarna. Om räknarna inte återställs inom tidsluckan återställs de vid T_1 slut, varvid ny cykel startar från tiden 0.

Signalen TOA (Time Out Alarm) sätts i BITE statusregister vid följande tillfällen:

- CPU exekverar nollställningsinstruktionen B0 före tiden T_2 .
- CPU exekverar inte nollställningsinstruktionen inom tiden T_1 . I detta fall sätts också signalen ALT 1 (Upper Time Out Fail) i statusregistret.

Tiderna T_1 och T_2 är multiplar av 64 ms (64-1024 ms). Tiderna bestäms genom strappning av de värden som räknarna laddas med vid återställningen. För dator 107/PM $T_2 = 64$ ms och $T_1 = 192$ ms.

TOA sätter signaler CFA (computer fail), såvida inte "BITE Test Mode" ($BT = 1$) råder. CFA är en av signaler som genererar signalen COK (Computer OK), se avsnittet BITE. För att nollställa CFA måste programmet utföra två giltiga B0-instruktioner, dvs återställa tidsövervakningsräknarna. CFA nollställs också av J1 (Initialization Signal). Kontroll av tidsövervakaren beskrivs i avsnittet BITE test mode.

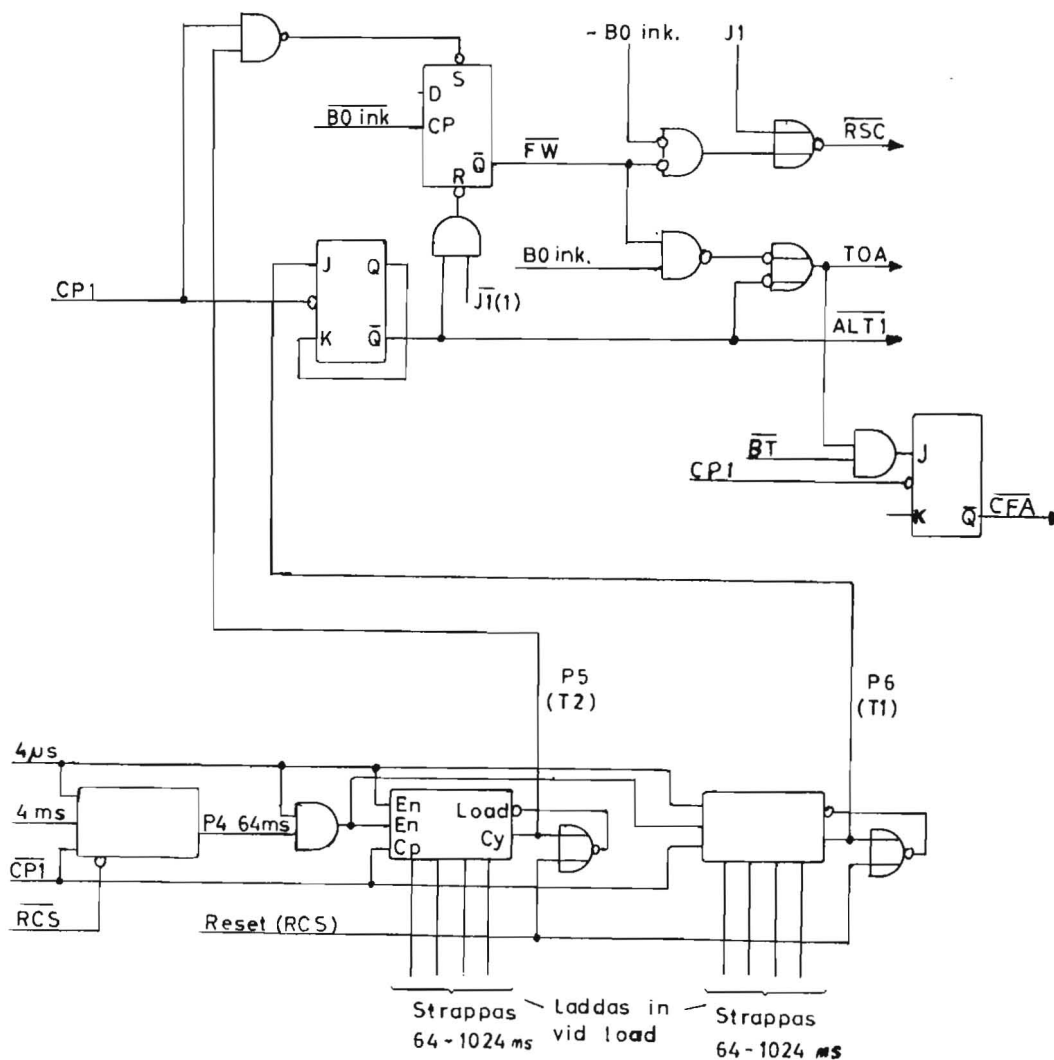


Bild 22. Tidsövervakare "Watchdog Timer"

INTERN ÖVERVAKNINGSKRETS BITE

Allmänt

Den interna övervakningskretsen BITE (Built In Test Equipment) utgörs av kortenhet 9 (A31) i in/ut-enhet 107. Den övervakar datorn. Vid fel skickas varningssignaler till olika enheter, så att alternativa rutiner kan starta. CPU kan adressera BITE som en in/ut-enhet med korta INO-instruktioner.

Följande huvudfunktioner utförs av BITE

- Kontinuerlig övervakning av BITE-signaler som genereras av andra enheter i datorn CPU underrättas om signalernas status med programavbrott 13 (INT 13) från BITE och innehållet i BITE statusregister.
- Hårdvarukontroll av programfunktionen genom en "Watchdog Timer", vilken ger felindikation om den inte återställs periodiskt av programmet, se avsnittet Tidsavbrott.
- Speciella hårdvarukontroller av viktiga hårdvarufunktioner i CPU.
- Utsändande av signalen COK (Computer OK), vilken talar om för yttre enheter om datorn fungerar tillfredsställande.
- Självkontroll av viktiga delar av enheten BITE för att se att övervakningen av systemet sker på rätt sätt.

Signaler till och från BITE visas på bild 23.

Bite statusregister

Statusregistret består av 16 vippor i enheten BITE. Dessa nollställs vid krafttillslag av initieringssignalen J1. Varje vippa registrerar en viss eller vissa specifika felsignaler, vilka genereras av olika kretsar i datorn vid fel. Vipporna nollställs av programvaran.

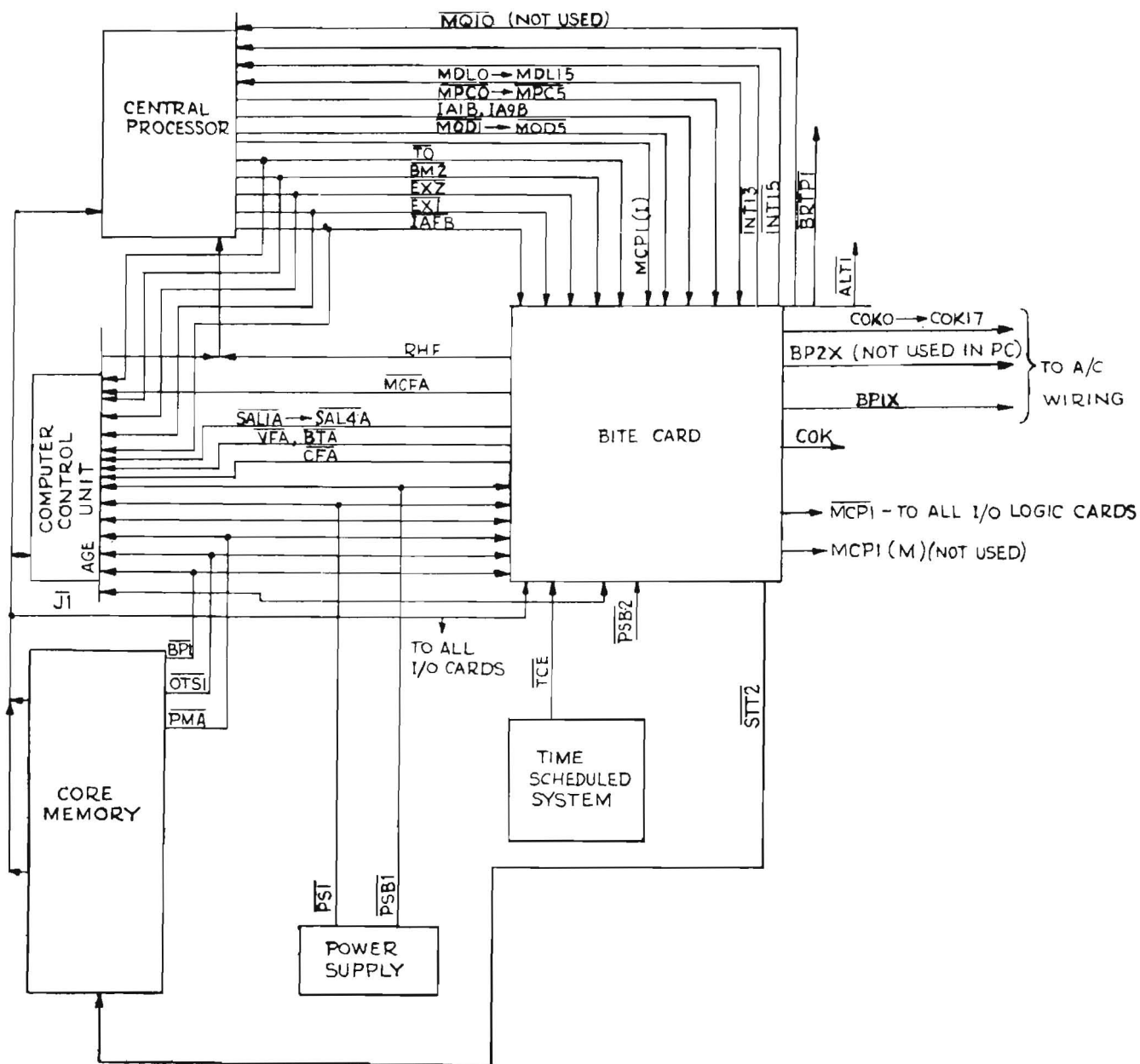


Bild 23. Signaler till och från övervakningskretsen BITE

Innehållet i statusregistret kan läsas in i den undre halvan av A-registret i CPU med en kort INO instruktion (BITE-instruktion B2 eller B3), se avsnittet BITE-instruktioner.

Tabell 12. Definitioner "BITE status word signal"

A. REG. BIT NOTATION		SIGNAL CODE	SIGNAL NAME	SOURCE	SET INT 13	FUNCTION
HARDWARE	SOFTWARE					
0	31	BP1	Memory Power Fail 1	Memory Modules	YES	Memory input voltage or logic voltage out of spec
1	30	EX1	Execute All 1's	CP	YES	CP detects instruction with all 1's OP code
1	30	EXZ	Execute all 0's	CP	YES	CP detects instruction with all 0's OP code
1	30	PMA	Protected Memory Access	Memory Modules	YES	Memory user attempted to write into a protected area of memory
1	30	IAF	Indirect Address Fail	CP	YES	CP attempt to execute more than 14 levels of indirect addressing
2	29	OTS1	Over Temperature 1	Memory Module	YES	Computer Unit Core Memory overtemperature sensor
3	28	TO	MPA Time Out	MPA	YES	Memory DMA user failed to issue memory release signal (MR).
4	27	BM2	Memory Response Fail	MPA	YES	Memory fails to respond to user request with IPR or DP.
5	26	TOA	Time Out Alarm	BITE	YES	CP failed to reset "watchdog timer" during window (early or late)
6	25	PSB1	Power Supply BITE	Power Supply	YES	Power supply overtemperature sensor
7	24	TCE	Transmission Check Error	TSS I/O	YES	TSS detects input data error or I/O programming error
8	23	BP1	Memory Power Fail 1	Memory Modules	NO	See bit 0
9	22	EXZ	Execute all 0's	CP	NO	See bit 1
10	21	EX1	Execute all 1's	CP	NO	See bit 1
11	20	IAF	Indirect Address Fail	CP	NO	See bit 1
12	19	PMA	Protected Memory Access	Memory Modules	NO	See bit 1
13	18	ALT1	Upper Time Out Fail	BITE	NO	CP failed to reset "watchdog timer" within T1 time. See bit 5.
13	18	MCF	Master Clock Fail	BITE	NO	CP master clock stopped or degraded.
14	17	INT13	Interrupt 13	BITE	-	Status of interrupt 13
15	16	INT15	Interrupt 15	BITE	NO	Status of primary power fail interrupt

I tabell 12 visas vilka signaler som sätter respektive bit i BITE statusregister och vilket fel som orsakat signalen. Det framgår också att när någon av bitarna 0-7 är 1 sätts programavbrott 13 (INT 13). Bit 8-13 används för att precisera en funktion som satt INT 13 till logisk etta. För bit 13 gäller att om ALT 1 var den signal som satte bit 13 så skall bit 5 (TOA) också vara satt, medan signalen MCF inte initierar något programavbrott.

Bit 14 är programavbrott 13 och bit 15 programavbrott 15, se avsnittet Programavbrott.

Bit 0-13 nollställs av BITE instruktionerna B2 eller B3 under förutsättning att felsignalen inte längre är aktiv. Bit 14 (INT 13) nollställs alltid av B2 och B3. För att generera ett andra programavbrott måste felsignalen först återgå till 0 och därefter måste en B2 eller B3 instruktion exekveras innan felsignalen åter blir aktiv. Bit 14 och 15 kan nollställas av BITE-instruktion B5, se följande avsnitt.

BITE-instruktioner

I tabell 13 visas uppbyggnaden och användningen av de sex BITE-instruktionerna B0-5.

Tabell 13. BITE-instruktioner, nedbrutna

	15	11	10	9	8	3	2	1	0	Riktning på data- överföring	Funktion vid olika innehåll i A-registret							
	31	27	26	25	24	19	18	17	16									
	OP CODE				L	C	DEVICE CODE				I	K/O	K					
B0	0	1	0	0	1	0	0	0	1	0	1	0	1	0	0	0	CPU BITE	A0=1 - nollställ tidsövervakaren A0=0 - ingen åtgärd A1=1 - sätt/nollställ System Alarm vippor A2-5=1 - sätt SAL 1-4 (System Alarm) A2-5=0 - nollställ SAL 1-4
B1	0	1	0	0	1	0	1	0	1	0	1	0	0	0	0	0	CPU BITE	Används ej
B2	0	1	0	0	1	0	0	0	1	0	1	0	1	0	1	0	BITE CPU	Överför innehållet i statusregistret till A-registret (bit A0-A15, hardware notation). Nollställer statusregistret utom INT 15.
B3	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	BITE CPU	Lika som B2
B4	0	1	0	0	1	0	0	1	0	1	0	1	0	0	0	0	CPU BITE	A0=1 - sätt BITE Test vipa (BT) A0=1 - nollställ BT
B5	0	1	0	0	1	0	1	1	0	1	0	1	0	0	0	0	CPU BITE	A0=1 och A1=0 - sätt programavbrott 13 A0=0 och A1=1 - nollställ progr.avbrott 13 A2=1 och A3=0 - sätt INT 15 om PSI=0 A2=0 och A3=1 - nollställ INT 15-vippan A2=1 och A3=1 - skifta INT 15-vippan en gång från 0 till 1 eller vice versa

Avbrottsrutinen för programavbrott 13 innehåller en B2- eller B3-instruktion, som läser av statusregistret och identifierar felet samt för att nollställa INT 13 så att eventuella nya fel blir uppmärksammade.

Systemalarmsignaler

Programvaran kan, genom att sätta fyra vippor i BITE-enheten med en B0-instruktion, generera signalerna SAL 1-4 (System Alarm). Alla fyra signalerna går till anslutningsdonen AGE. Dessutom används SAL 1 som STT 2 i in/ut-enheten och möjliggör skrivning i skrivskyddat område i minnet, se avsnittet Minnesenhet. SAL 2 är en av de signaler som genererar COK (Computer OK). När SAL2=1 blir COK=0 och indikerar datorfel. SAL 2 sätts av programvaran när den upptäckt onormala tillstånd oberoende av hårdvaran i BITE-enheten.

Signal COK

Signalen COK (Computer OK) går ut på 24 olika ledningar med egna drivkretsar, varav 18 sitter på BITE-enheten och 6 på kortenhet 2 (Parallel Channel No 2) i in/ut-enheten. COK är logisk etta när datorn fungerar normalt. Signalen informerar samverkande enheter i flygplanet om datorns status och sätts till 0 av följande åtta signaler

- SAL 2 – System Alarm 2
- MCF – Master Clock Fail
- CFA – Clock Fail Alarm (=TOA från tidsövervakningen)
- OTS – Over Temperature Sensing
- BP – Voltage Fail (minnet)
- PSI – Primary Power Fail
- J1 – Computer Initializing, se också avsnittet Tidsavbrott
- PSB 1 – Power Supply Over Temperature

MCF och CFA nollställer dock ej COK (Computer OK) under "BITE Test Mode".

Kontroll av tidsövervakningskretsar

I "BITE Test Mode" kan datorn kontrollera att tidsövervakaren och kretsarna för övervakning av huvudklockpulserna MCP fungerar. "BITE Test Mode" initieras av BITE-instruktion B4, vilken sätter BITE testvippan BT, se avsnittet BITE-instruktioner. När BT är 1 hindras MCF och CFA (Clock Fail Alarm) från att nollställa COK så att inte falska larm ges genom intern-testerna. Tidsövervakningens undre och övre gräns kontrolleras genom att en B0-instruktion exekveras före tidsavståndet T2 respektive att räknaren nollställs inom T1, se avsnittet Tidsavbrott.

BT kan nollställas av programmet med en B4-instruktion eller genom två giltiga B0-instruktioner eller genom att tidsövervakarens övre gräns överskrids två gånger.

Vippa RHF

Vid normal drift behandlas CPU HALT-instruktioner som NOP-instruktioner. I avbrottsrutinen för kraftavbrott (INT 15) skall emellertid exekvering avbrytas i slutet av rutinen, om INT 15 fortfarande är aktiv. Rutinen sätter RHF med en B4 instruktion om PSI=1 (PSI = Power Supply Inhibit). RHF nollställs automatiskt om PSI åter blir 0. Avbrottsrutinen avslutas med en HALT-instruktion, vilken grindas fram i kortenhet 6 (Process Control, A21) av vippa RHF (Remove Halt), om denna är aktiv.

Om PSI=0 efter HALT-instruktionen, men innan kraftmatningen har överskridit tidgränsen, skall CPU fortsätta exekveringen med instruktionen omedelbart efter HALT.

Kraftavbrott och start/stopp/återstart

Tabell 14.

Kraftavbrott/avslag	NTO	Startadress	Funktion
>35 s	1	0000 ₁₆	Mem Prime
<16 s	0	0800 ₁₆	Återstartrutin

Huvudklockpuls MCP är inom toleransgränserna inom 10 ms efter krafttillslag.

J1 håller datorn i initieringsläge under krafttillslag och nominellt 32 ms efter det att alla spänningar är inom toleransen.

Max 80 ms efter krafttillslag börjar CPU exekvera programmet.

Efter normal återstart börjar CPU exekvera programmet på den punkt vid vilken avbrottet kom.

Vid kraftavbrott skall innehållet i programräknaren PC och de aritmetiska registren lagras undan i kärnminnet.

Övervakning av likspänningar

I minnesenhetens kortenhet "Memory Protect" (A29) övervakas likspänningarna ± 5 V och ± 15 V. Vid fel blir signalen BP1=0, som sedan sätter bit 0 och 8 i BITE statusregister till 1 och COK (Computer OK) till 0.

"Memory Protect" sätter också signalen BPM (Bite Power Memory) till 1 i minnets styrenhet (Timing and Control) för att hindra att en ny minnescykel börjar. En redan påbörjad minnescykel avslutas på normalt sätt.

MINNESENHET

Kärnminne

Kärnminnet består av fyra 16Kx16 bitars minnesmoduler, se bild 24. Minnet arbetar asynkront med övriga enheter och styrs av en egen oscillator med frekvensen 40 MHz. Minnet tar emot/levererar data, 16 eller 32 bitar i parallell form.

Till varje minnesmodul hör följande kortenheter:

- 16384×16 bitars minnesstack "Memory Stack" (A2, A5, A9, A12)
- Datadrivsteg och register "Sense och Digit" (A3, A6, A10, A13)
- Adressavkodning "X - Y Select" (A1, A4, A8, A11)

Två kortenheter är gemensamma för alla minnesmoduler:

- Styrenhet "Timing och Control Card" (A7), se bild 25.
- Spänningsövervakningsenhet "Memory Protect" (A29), se bild 26.

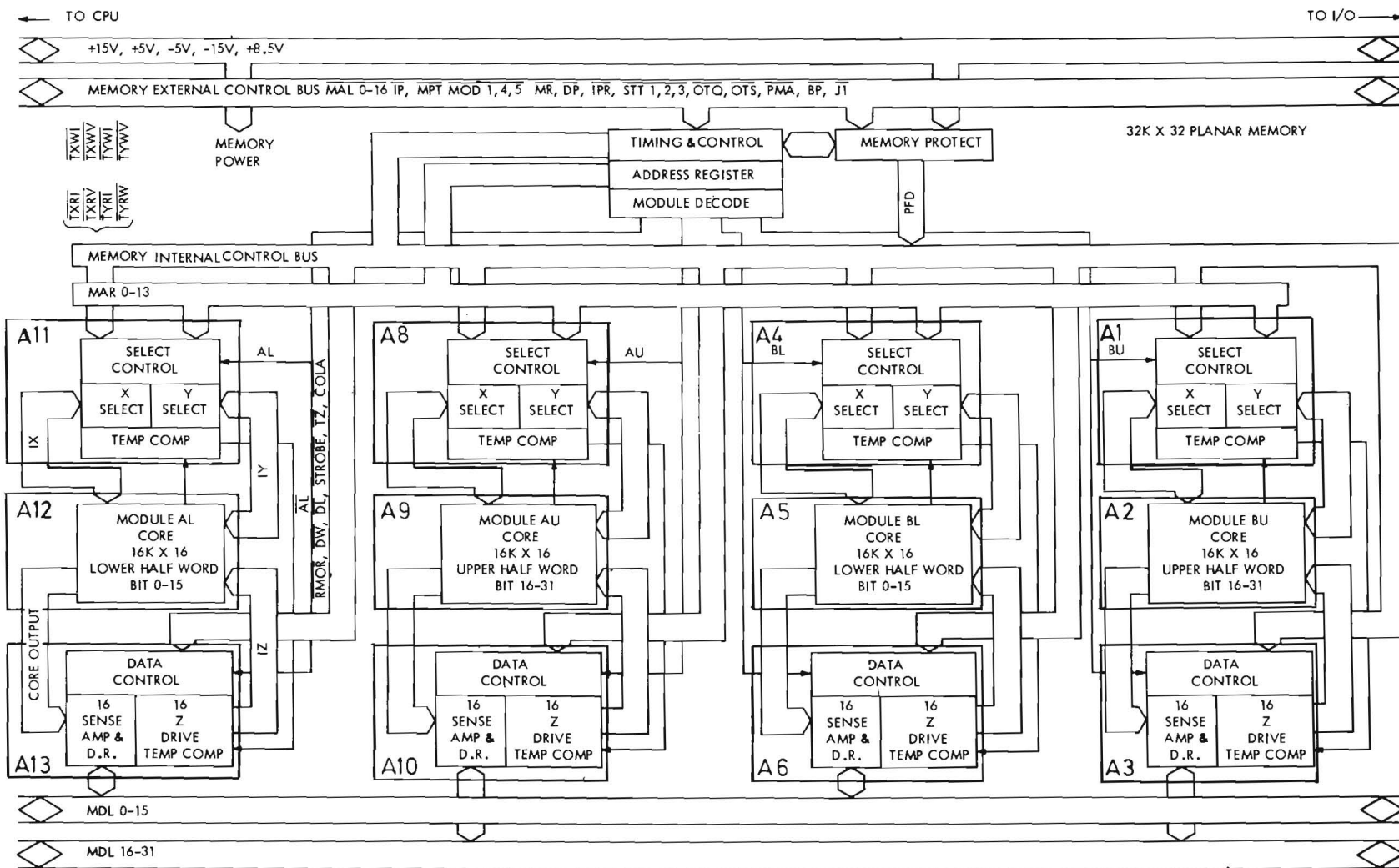


Bild 24. Minnesenhet, blockschema

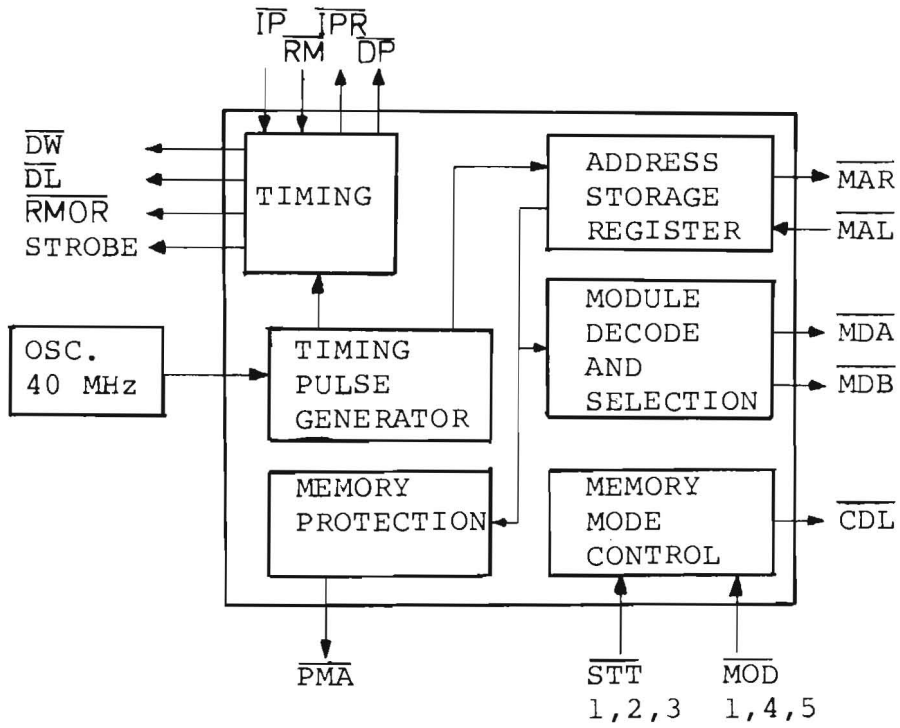


Bild 25. Minnets styrenhet "Timing and Control", blockschema

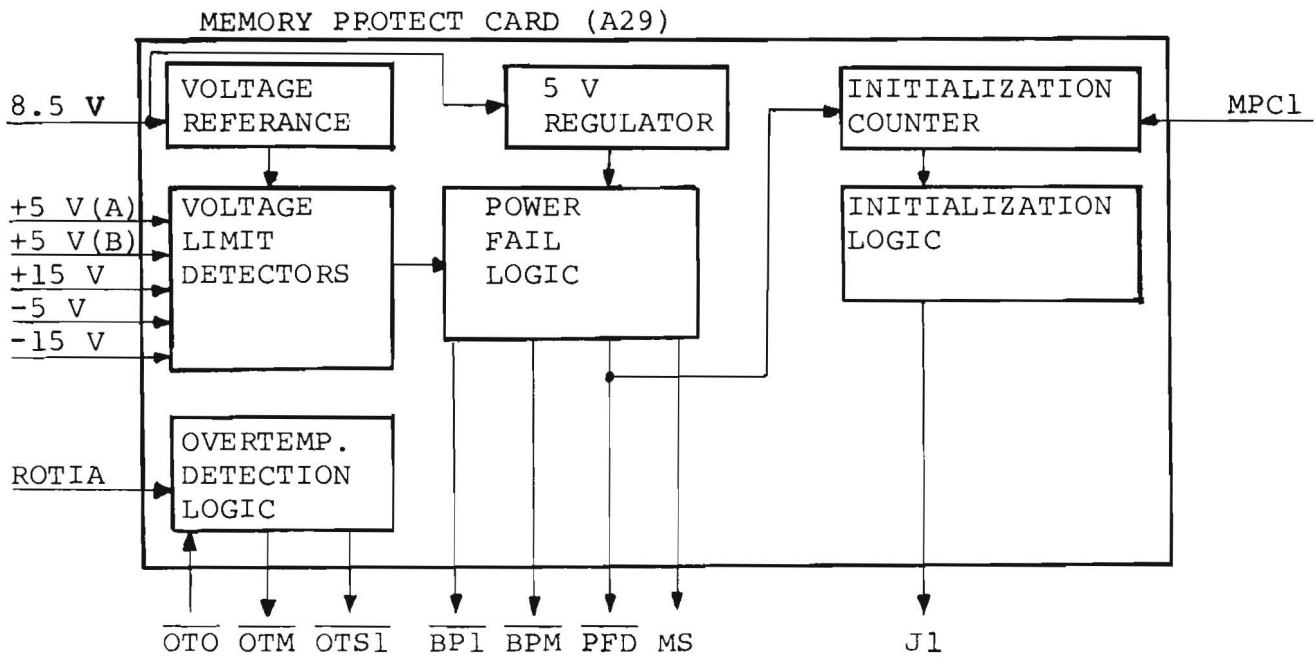


Bild 26. Spänningsövervakningsenhet "Memory Protect", blockschema

Laddning av minne

Kärnminnet kan laddas från CUU (Computer Control Unit) över anslutningsdonen till AGE, 2J4 och 2J6 på frontpanelen. Minnets skrivskydd upphävs med signalerna STT 1, 3, se avsnitten Kontroll av skrivskydd samt Skyddad minnesaccess och adressindelning.

Minnet kan också laddas från yttre minne över TSS seriekanal 25 eller 23, se avsnittet In/ut-enhet 107.

Minnescykel och accesstid

Tabell 15.

	Cykeltid μs	Accesstid μs
Kärnminne	1,4	0,5
Läsminne (PROM)	0,5	0,1
Temporärminne (RAM)	0,5	0,1

RAM/ROM supplementminne

Förutom kärnminnet används två halvledarminnen i CPU.

- Ett läsminne (ROM) på 2048 helord ($2K \times 32$ bitar) med adresserna 0000 till OFFE. Läsminnet är placerat på kortenhet "Memory Priority analyzer (A24).
- Ett temporärminne (RAM, Read/Write Scratchpad Memory) på 256 helord (32 bitar) med adresserna 3E00 till 3FFE. Temporärminnet är placerat på kortenhet "Scratchpad Memory".

Operationsmoder

Minnets operationsmoder styrs av signalerna MOD 1, 4 och 5 (Memory Mode Lines), se tabell 16.

Tabell 16. Minnets operationsmoder

Operations-mod	Bitar	Signal MOD		
		1	4	5
Read - Restore	32	0	0	X
Clear - Write	32	1	0	X
Read - Restore	0 - 15	0	1	1
Clear - Write	0 - 15	1	1	1
Read - Restore	16 - 31	0	1	0
Clear - Write	16 - 31	1	1	0
		R/W	HWEN	HW (Upper/ Lower)

Skrivskydd för minnesadressering

Alla minnesplatser i kärnminnet kan skrivskyddas. Detta sker i block om 32 helord. Programmeringen av ett PROM (U27) i minnets styrenhet bestämmer vilka block som är skrivskyddade, se bild 27. För att ändra de skrivskyddade områdena måste PROM U27 bytas. Signalen PMA (Protected Memory Address) sätts till 1 av minnets styrenhet, när signalen IP (Initiate Pulse) anländer samtidigt som moden är "Clear-Write" och adressbitarna pekar på ett skrivskyddat område.

Avkodningar av de skrivskyddade områdena och utsändningar av PMA inhiberas av signalerna STT 1-3.

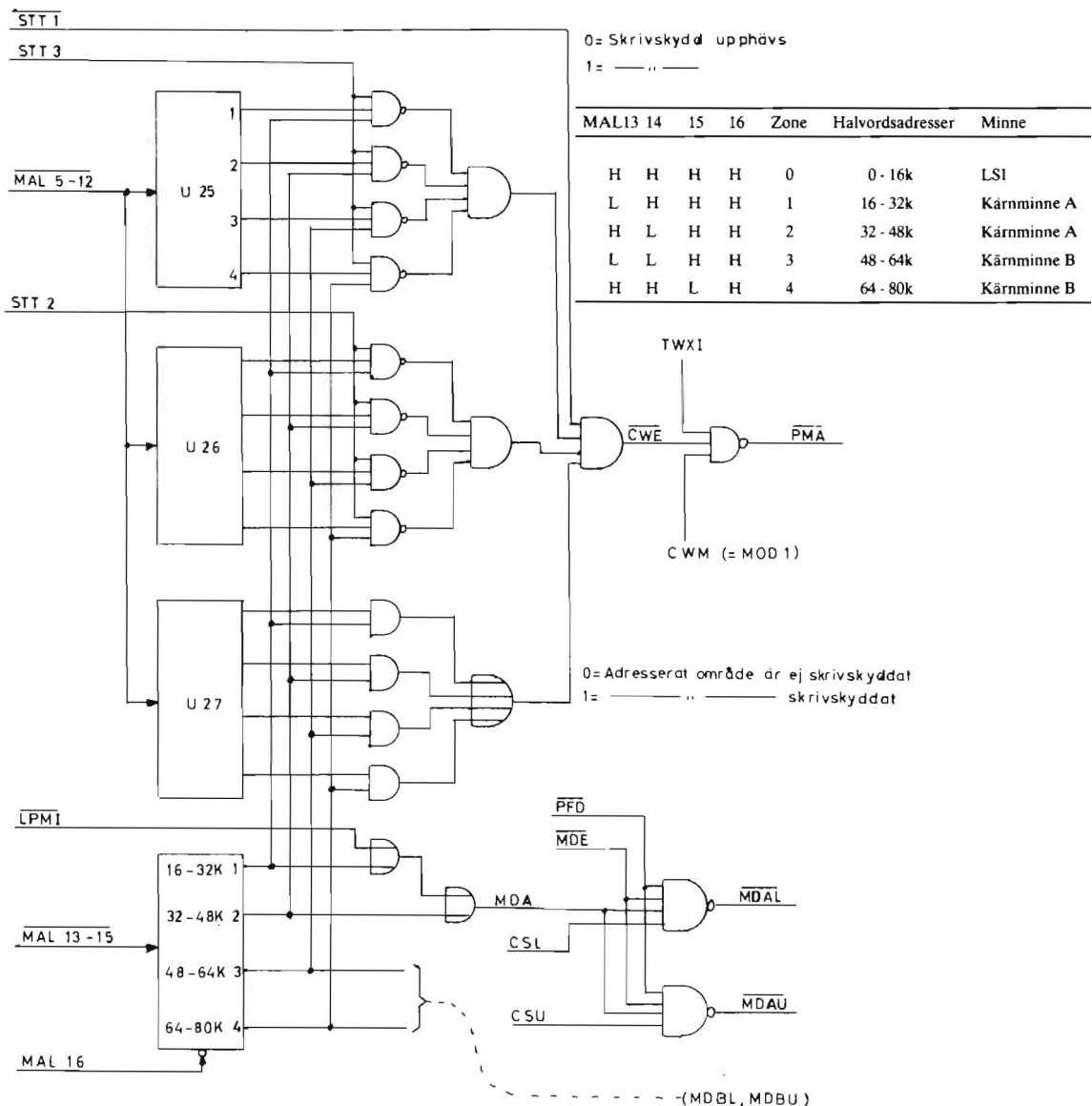


Bild 27. Skrivskydd och adresskodning

Kontroll av skrivskydd

Skrivning i skrivskyddade områden kan ske enligt avsnittet Laddning av minne. STT-signalerna definieras som:

- STT 1 (Store Test 1) möjliggör skrivning i hela minnet när den är satt till logisk etta. STT 1 sätts av yttre utrustning.
- STT 2 (Store Test 2) och STT 3 (Store Test 3) möjliggör skrivning i de områden som programmerats in i två PROM (U26 resp U25) i minnets styrenhet då de är satta till logisk etta, se bild 27. Programmeringen är individuell för varje signal och har en upplösning på 32 helord. STT 2 sätts av programvaran och STT 3 sätts av yttre enheter.

Skyddad minnesaccess och adressindelning

Bild 28 visar tilldelningen av minnesadresser för de olika minnena samt startadresser och skrivskydd.

Följande block är ej skrivskyddade:

(Q = blockidentifikation, P= blockstorlek antal halvord, SA= blockets startadress i hexadecimal form)

- Q₁, P= 4096, SA= 4000 ("Scratchpad" i kärnminnet)
- Q₂, P= 64, SA= 7FC0
- Q₃, P= 4096, SA= 5000

För följande block kan skrivskyddet upphävas:

- Q₄, P= 2048, SA= F800 upphävs med STT 2 eller STT 3
- För hela kärnminnet med STT 1

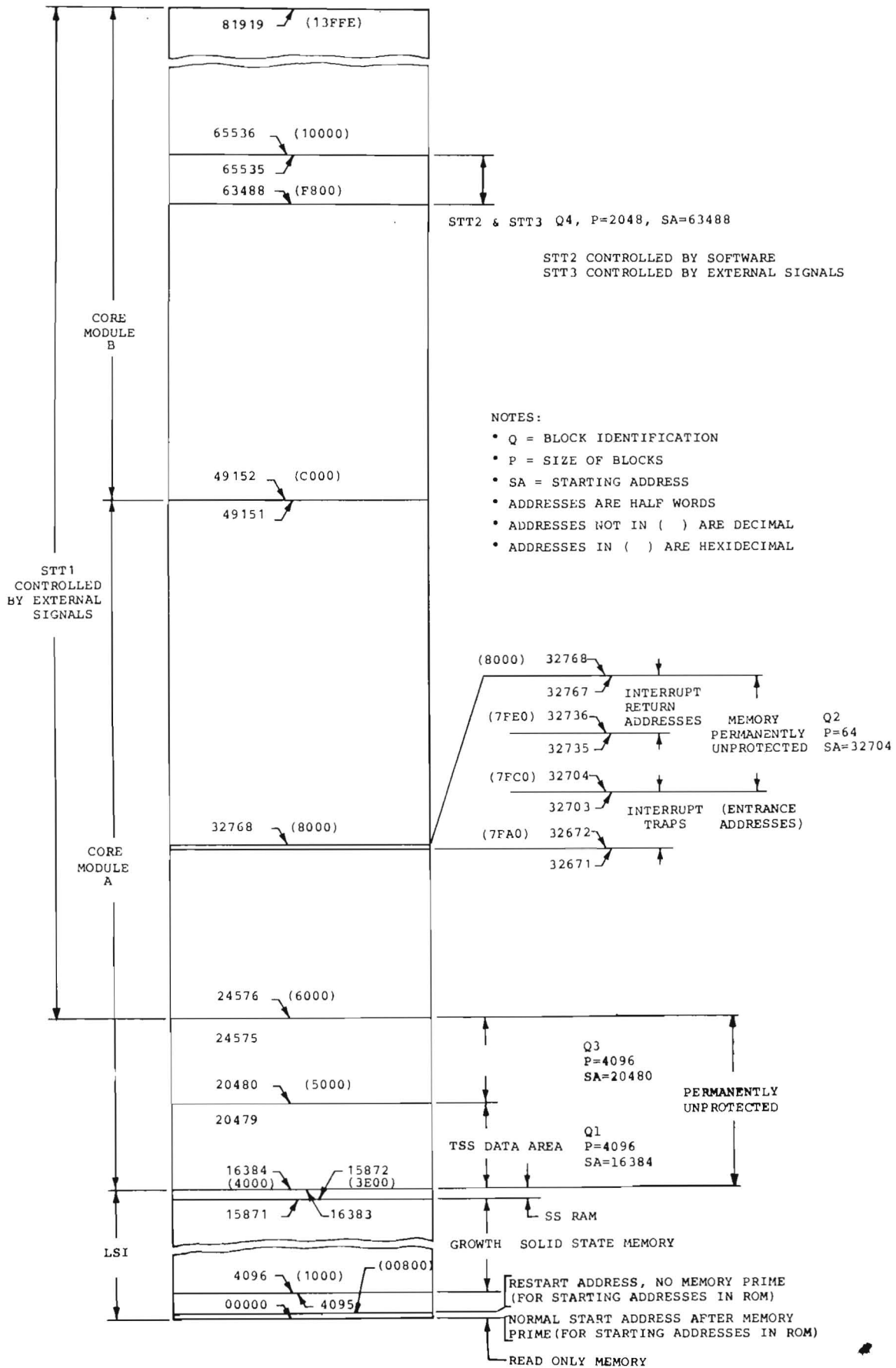


Bild 28. Minnes- och startadresser samt skrivskydd

Minnets initiering

Minnets skall initieras varje gång kraftmatningen slås på, förutsatt att NTO= 1 (dvs kraften har varit avslagen mer än 35 sekunder).

Initieringen startas då signalen MP1 (Memory Prime) sätts till 1 från centralenhetens kortenhet 2 (Arithmetic Card 2) till minnets styrenhet (Timing and Control) och till kortenhet 5 (Program Interrupt). Initieringen genereras från centralenheten genom 2048 NOP-instruktioner, varvid alla bitpositioner sekventiellt genomströmmas, minst en gång, med en halv strömpuls i X-lindningen.

IN/UT-ENHET 107

Allmänt

In/ut-enheten sköter kommunikationen mellan datorn och yttre utrustning. Den består av följande kortenheter:

- Kortenheterna 1 och 2 (Parallel Channel No 1 and 2) för in- och utmatning till parallella datakanaler.
- Kortenheter 10 (Analog Multiplexer) och 11 (A/D Converter) för avkänning och multiplexbehandling av analoga signaler.
- Kortenheter 8 (Timing and Interrupt) för mottagning av avbrottssignaler och utsändning av speciella synkroniseringssignaler.
- kortenheterna 3-7 (TSS No 1-5) för in- och utmatning till seriekkanaler.
- kortenheter 9 (BITE) för övervakning av datorns funktion. (BITE-enheten är beskriven i avsnittet Intern övervakningskrets BITE).

På bild 29 visas gränssnittet mellan in/ut-enheten och yttre utrustning. Gränssnittet definieras närmare i avsnittet Anslutning till yttre system.

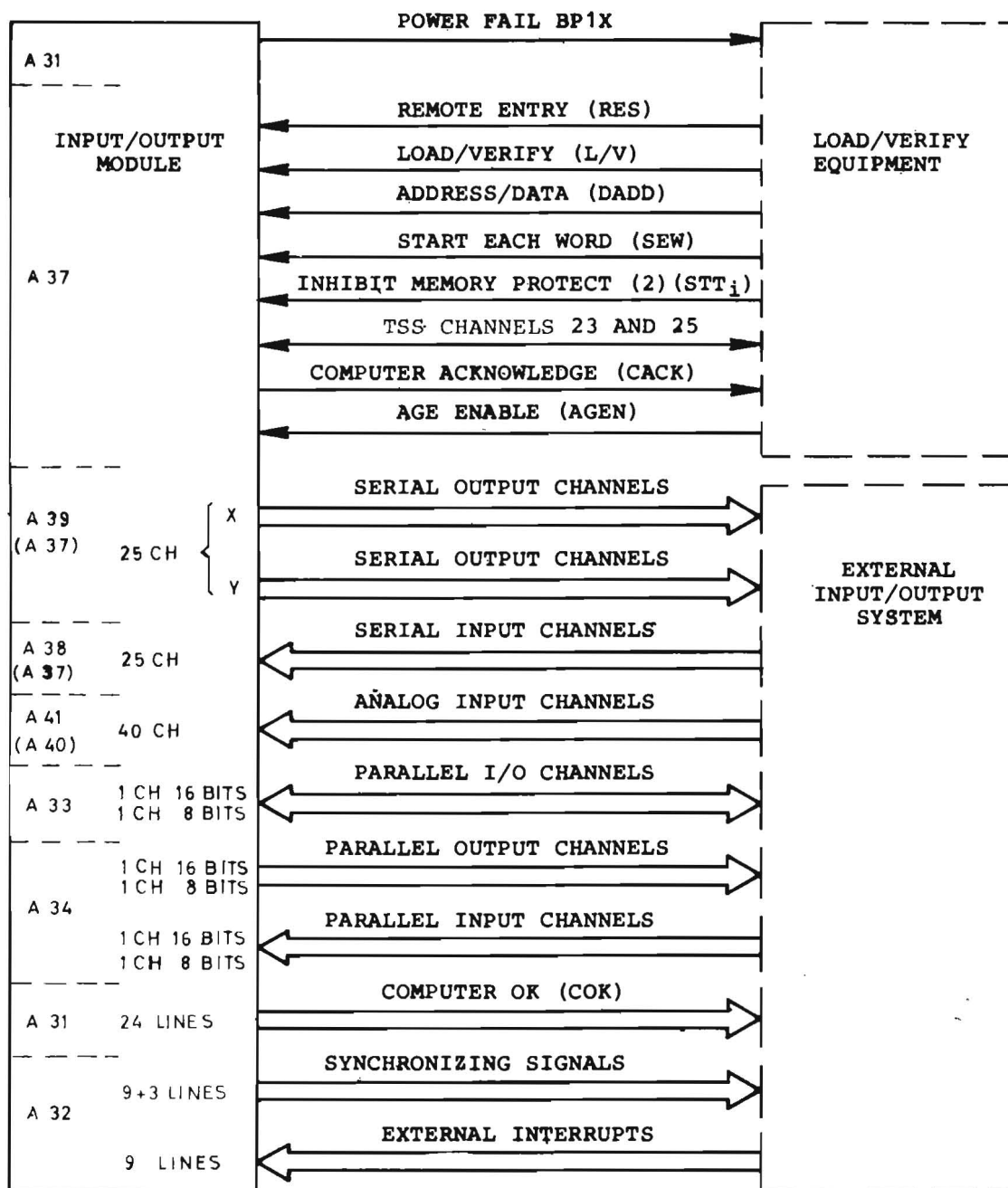


Bild 29. Signaler mellan in/ut-enheten och yttre utrustning

Tidsstyrning

Allmänt

Efter initiering från CPU arbetar tidsdelningssystemet TSS (Time Scheduled System) självständigt med att överföra datablock mellan yttre enheter och minnet. TSS innehåller fyra "Controllers", vilka arbetar parallellt och oberoende av varandra, se bild 30.

X och Y kan dock inte sända på samma kanal under en 16-bitars ordcykel, men väl på olika kanaler. X, Y och I arbetar ungefär synkront, medan A/D-omvandlingen tar tre ordcykler. Varje "controller" styrs av en 32-bits instruktion SCC (Serial Channel Command Word), vilken talar om kanalnummer, antal ord som skall överföras samt var dessa skall lagras och hämtas i minnet.

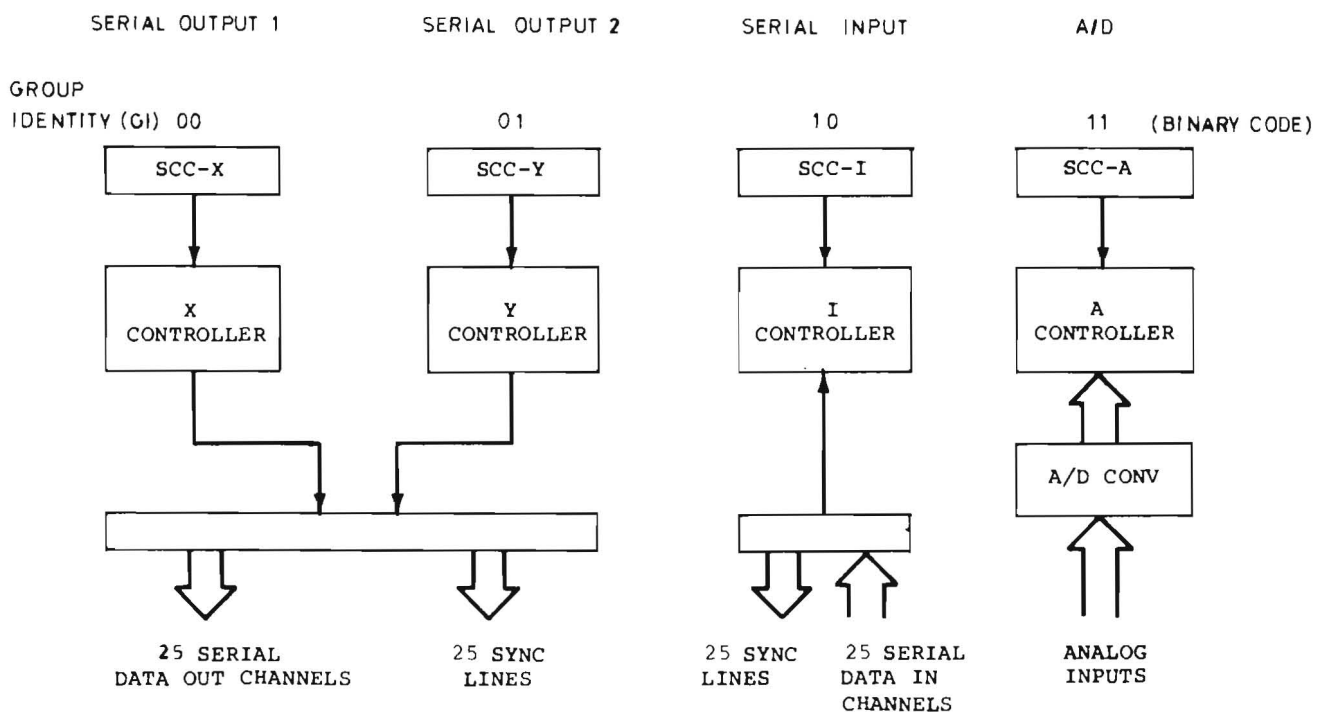


Bild 30. Tidsdelningssystemet TSS, blockschema

En gemensam del i TSS har hand om synkronisering, utbytet av data och instruktioner med minnet och lagring av inkommande serie- och A/D-data.

TSS operationscykel

Se flödesschema på bild 34.

En TSS-cykel initieras när CPU genom att exekvera en OUT-instruktion, se bild 31, sänder ett PCW-ord (Program Control Word) till TSS, se bild 32.

MDL 3130292827262524232221201918171615 0

OP CODE	L	C	DEVICE CODE	I	$\frac{1}{2}$	K	M16
0 1 0 0 1	1	0	0 1 0 1 1 1	$\frac{1}{2}$	0	1	Adress till PCW-ordet

Bild 31. Överföring av PCW-instruktion

31 2221201918 1615 0

Används ej	PC	VC	B	EOT	Helordsadress till första SCC-ordet (skiftas vänster ett steg innan minnet adresseras)
------------	----	----	---	-----	--

PC= Parity Check
VC= Validity Check
Se avsnitt Testmöjligheter

B= BITE mode
EOT= End of Transmission

Bild 32. PCW-ord

PCW innehåller startadressen till ett block i minnet med SCC-ord samt en tre bitars EOT-kod, vilken jämförs med motsvarande kod i SCC-orden och vid överensstämmande visar att det aktuella SCC-ordet skall avsluta TSS cykeln. TSS börjar med att läsa fyra SCC-ord, en för varje "controller", i följande ordning: X, Y, I och A. Varje SCC-ord består av ett helord.

313029 24232221 161514 1211 0

GI	Kanaladress	P	CR	Antal ord	I	E	C	EOT	Adress till första dataordet
----	-------------	---	----	-----------	---	---	---	-----	------------------------------

GI= Group Identity
P= Pause
CR= Channel Reset

IEC= End of Channel Interrupt
EOT= End of Transmission
Se bild 34

Bild 33. SCC-ord

SCC-ordet innehåller (förutom GI, P, CR, IEC och EOT vilka förklaras på bild 33 och 34) följande:

- Bit 24-29
Kanaladress. För seriekkanaler visar bit 24-28 (MSB = bit 28) den kanal som överföringarna i detta SCC-ord gäller. För A/D visar bit 24-29 (MSB = bit 29) den kanal på vilken den första A/D-omvandlingen skall göras. Efter varje A/D-omvandling ökas kanalnumret av TSS med ett, till dess det antal omvandlingar, som anges av bit 16-21, utförts. Varje A/D-omvandling pågår under tre ordcykler.
- Bit 16-21
Antal ord som skall överföras eller antal A/D-omvandlingar. Egentligen antalet minus ett eftersom $000000_{(2)}$ ger en ordöverföring. Vid paus anger fältet det antal ordcykler som pausen skall vara.
- Bit 0-11
De tre sista hexadecimala siffrorna i halvordsadressen till första ordet i den dataarea där data skall hämtas eller lagras. All TSS-data lagras i kärnminnets variabla area med halvordsadresserna 4000-4FFF. Datat lagras i successiva halvord. För seriekkanaler med den mest signifikanta biten (MSB) längst till vänster (bit 15 resp 31 i "Hardware Notation"). För seriekkanal 0-22 sätts den sista biten (bit 0 resp 16) till 0 för inkommande data, medan den ignoreras för utgående data. Lagring av A/D data visas i avsnittet A/D-omvandlare.

När en "controller" utfört det antal överföringar/omvandlingar som anges i det aktuella SCC-ordet hämtas ett nytt SCC-ord från SCC-blocket i minnet. Detta sker oberoende av övriga "controllers", men om två "controllers" blir klara samtidigt gäller prioriteten X, Y, I, A. Om det hämtade SCC-ordet har fel GI (Group Identity) sätts SIF (Serial Identity Fail), se avsnittet TSS statusregister.

Behandlingen av SCC-ord fortgår tills ett SCC-ord med en EOT-kod, som överensstämmer med PCW-ordets EOT-kod, påträffas. När den sista ordcykeln i detta SCC-ord behandlats sätts INT 2 och TSS-cykeln avslutas. SCC-orden för övriga "controllers" måste vara så programmerade att även de är klara efter samma ordcykel. Detta sker genom att ett lämpligt antal pauser är inlagda i ordergivningen.

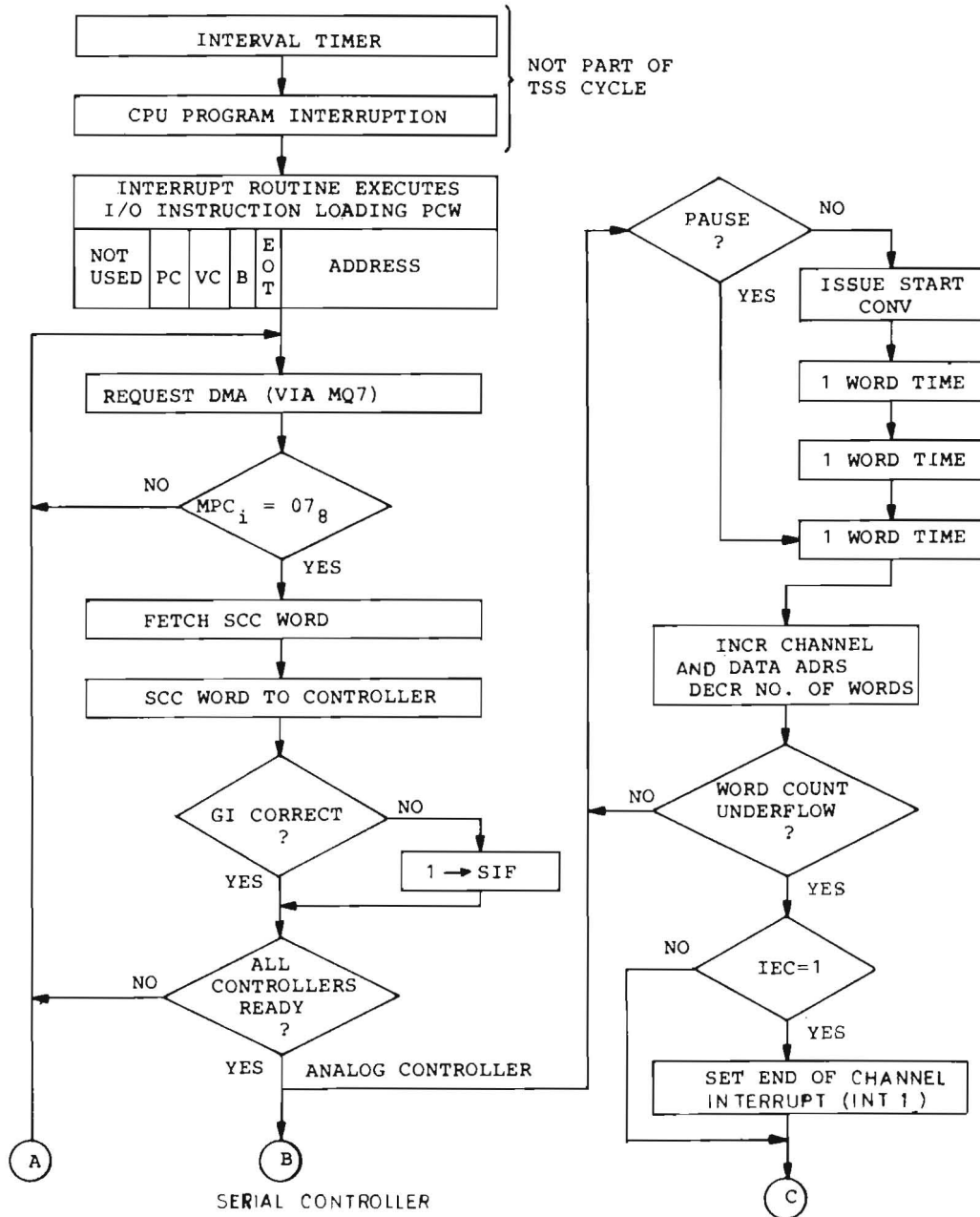
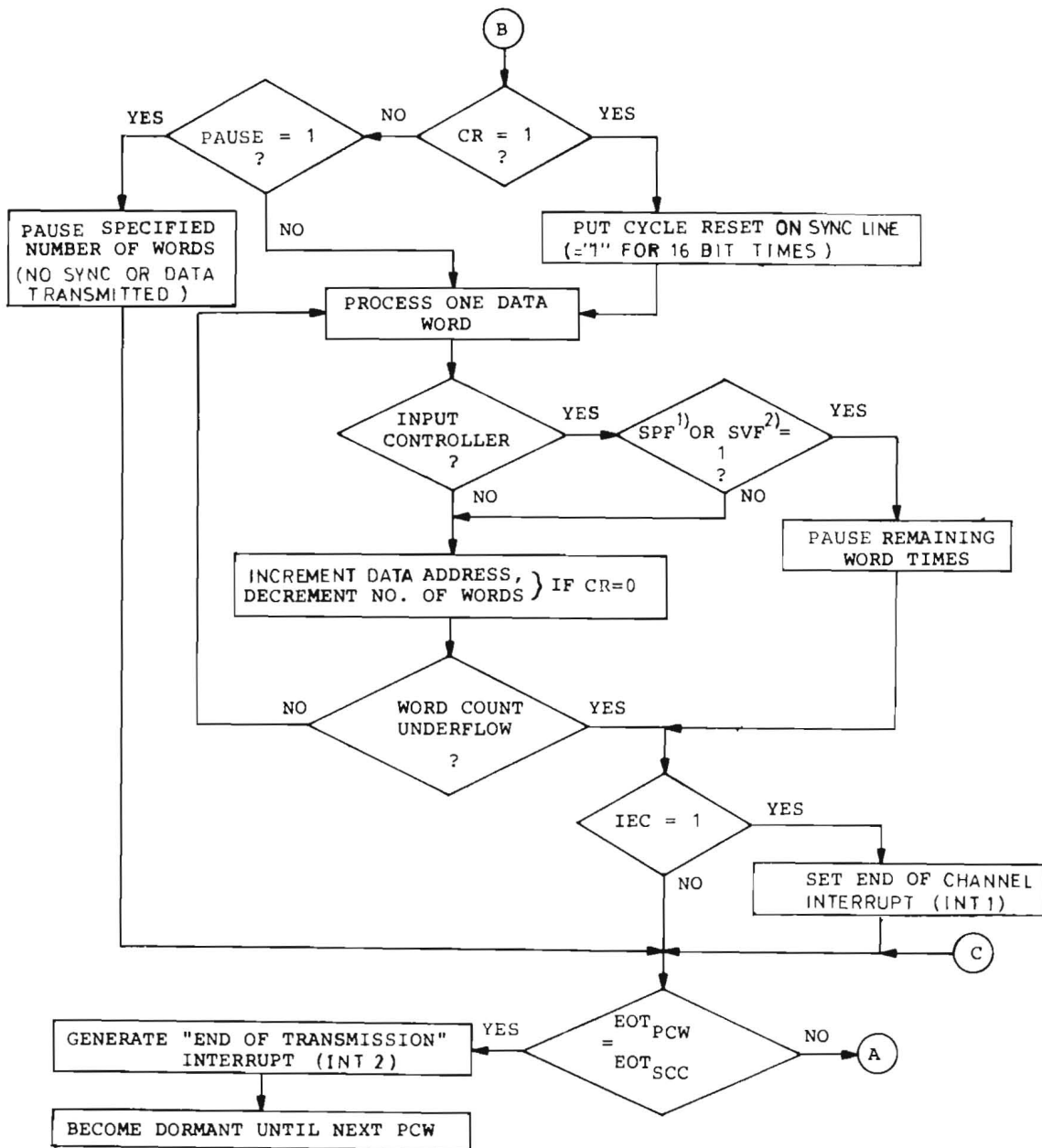


Bild 34. Flödesschema över TSS operationscykel



- 1) SPF = Serial Parity Fail
- 2) SVF = Serial Validity Fail (Format OK missing)

Bild 34. Flödesschema över TSS operationscykel (forts)

Bitarna SPF, SVF, SIF och SPCW ger programavbrott 13 (INT 13) genom att TCE-biten i BITE statusregister sätts till 1, se avsnittet BITE.

Programmet kan sätta programavbrott 1 och/eller 2 genom att ladda A-registret med ettor i önskade bitpositioner enligt bild 35 och sedan exekvera en "Set Program Interrupt"-instruktion.

Testmöjligheter

Seriekanalen i tidsdelningssystemet TSS kan slingkopplas på två olika sätt:

- Genom att man kopplar ihop varje kanals ut- och ingång med en yttre kabel. För att simulera biten "Format OK" skall signalen "TEST" till kortenhet 5 (TSS No 3) jordas.
- Genom att man sätter bit B=1 i PCW ordet, se bild 32 kommer TSS i BITE-mode. Därvid kopplas utgångarna från kanalerna 6 och 25 automatiskt till respektive kanals ingång. All överföring av data och synkpulser till yttre linjer inhiberas för dessa kanaler. Med en "output controller" och "input controller" programmerade för samma kanal (6 eller 25) och samma antal ord kan data läsas från ett ställe i minnet över TSS till ett annat ställe i minnet och sedan jämföras. Den andra "output controller" skall programmeras för paus, medan "A/D controller" kan arbeta som vanligt.

I "BITE-mode" simulerar TSS själv biten "Format OK" för kanal 6. Om emellertid biten VC=1 i PCW-ordet vid "BITE-mode" sker ingen simulering av FOK och avkänningslogiken skall sätta SVF i TSS statusregister och därmed generera programavbrott.

Logiken för paritetsavkänning kan kontrolleras i "BITE-mode" genom att man sätter biten PC=1 i PCW-ordet. Utmatningskretsarna i kortenhet 3 (TSS No 1) ger då en jämn paritetsbit istället för den ordinarie udda paritetsbiten, varvid SPF i TSS statusregister skall sättas till 1 och programavbrott genereras.

Seriebinära kanaler

Följande in- och utkanaler används: 0-23 och 25. Antalet kan utökas till 28. Överföringen på både in- och utkanaler synkroniseras med 286 KHz synkpulser från kortenheterna 3, 4 och 6 (TSS No 1, 2 och 4). Dataformat mm visas på bild 36.

"Format OK" består av en 1, längre än 4 s, på inkommande datakanaler omedelbart efter den sextonde biten. "Format OK" är nödvändig för att TSS skall acceptera inkommande data.

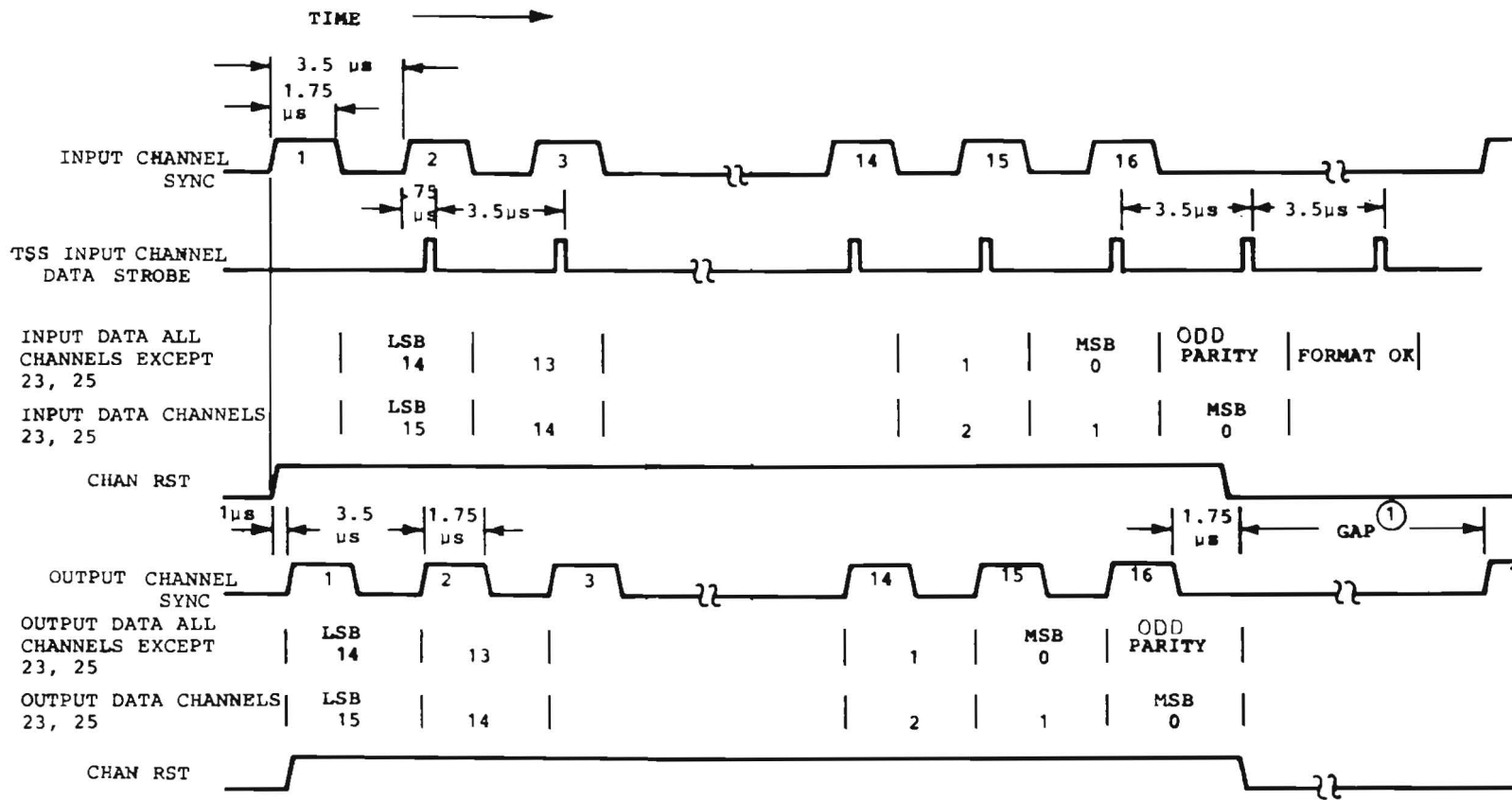


Bild 36, TSS data/synkspuls, tidsdiagram

A/D-omvandlare

A/D-omvandlaren består av två kortenheter:

- Kortenhets 10 (Analog Multiplexer, A41, som med hjälp av styrsignalerna CAA 0-5 från A/D-kanalens adressregister i kortenhets 7 (TSS No 5) grindar fram rätt insignal från 33 sensoringångar och 7 potentiometeringångar.
- Kortenhets 11 (A/D converter, A40, som analog-digitalomvandlar insignalen från kortenhets 10 (Analog Multiplexer) och sänder den digitala parallellsignalen OAD_x till "Input Data Mux" i kortenhets 5 (TSS No 3). Formatet visas på bild 37.

OAD	P	9	8	7	6	5	4	3	2	1	0	-	-	-	-	OF	
	+/-	MSB				Absolutvärde				LSB				Används ej		OF	
MDL	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Hardware notation
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	

Bild 37. Dataformat för analoga insignaler

Absolutvärdet ges i 1-komplement men omvandlas till 2-komplement för att kunna användas av CPU. Teckenbiten är 0 för positiva och 1 för negativa insignaler. Insignaler som ligger utanför mätområdet ger absolutvärdet för mest positiva resp mest negativa signal och "overflow" biten (OF)=1. Kortenhets 11 (A/D converter) matar också $\pm 5,12 \text{ V} \pm 1\%$ till potentiometrarna.

Valet av ingång (kanal) och antal avkänningar bestäms av SCC-ordet, se avsnittet TSS operationscykel. Data för de olika kanalerna visas i tabell 17.

Tabell 17. Data för de analoga kanalerna

Decimal kanaladr	Analog ingång	Inspänning	Mätområde	Upplösning	Noggrannhet efter omv. till 2-komplement
0-31	Sensorer 1-32	-15 till +15 V	-10,24 till +10,24 V	10 mV	0,3% av fullt utslag
32-39	Sensor 33	-15 till +15 V	-10,24 till +10,24 V	10 mV	0,3% av fullt utslag
40,56-63	Används ej	-	-	-	-
41-47	Potentiometer 1-7	-5,12 till +5,12 V	-5,12 till +5,12 V	5 mV	0,3% av fullt utslag
48-55	Testkanaler	4,5 V	-5,12 till +5,12 V	5 mV	0,3% av fullt utslag

Testkanalerna 48-55 skall ge det omvandlade digitala värdet enligt bild 38.

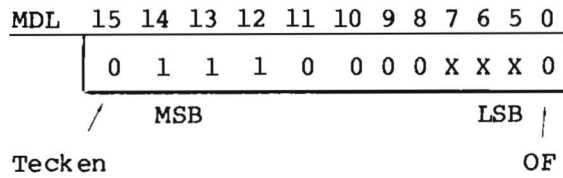


Bild 38. Omvandlat värde på kortenheterna 48-55

De tre minst signifikanta bitarna kan variera på grund av spänningsvariationer.

Programstyrda parallellbinära kanaler

Allmänt

In/ut-enheten innehåller två dubbelriktade och två enkelriktade parallellbinära kanaler, vilka är direkt programstyrda och inte använder sig av programavbrott. Kanalerna visas på bild 39.

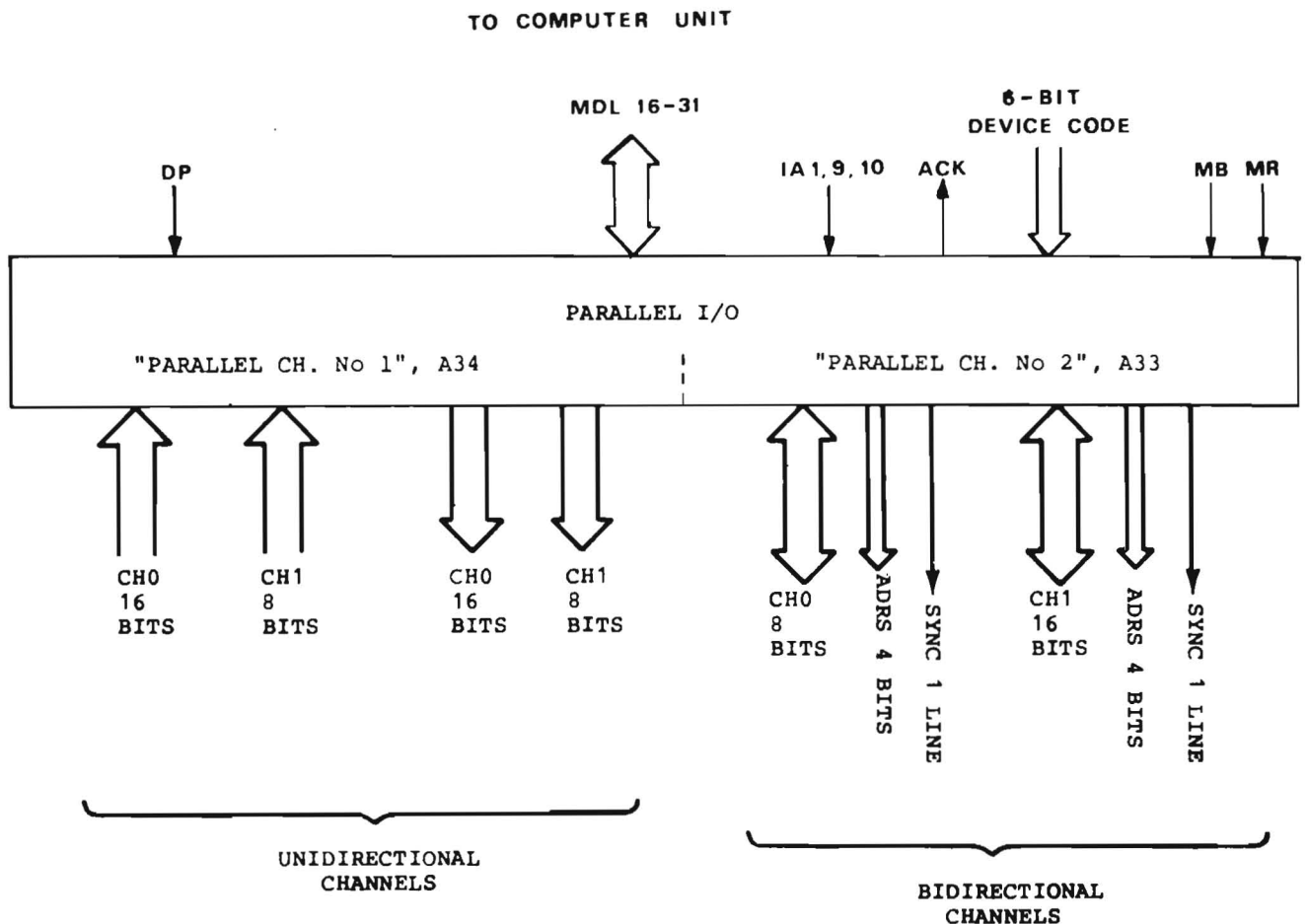


Bild 39. In/utenhetens parallellbinära kanaler

De INO-instruktioner som används för dataöverföring och test visas i tabell 18. Alla instruktioner kan vara antingen långa eller korta beroende på värdet av biten L. Korta instruktioner används för överföring mellan A-registret i CPU och yttre enheter. Långa instruktioner används vid överföring mellan kärnminne och yttre enhet. Med bit C väljs kanal 0 eller 1.

Tabell 18. INO-instruktioner vid dataöverföring och test

INSTR #	MODE	TYPE	IN/OUT	CHAN	Software Bit Designations															
					OP CODE				L	C	DEVICE CODE				NU	I/O	K			
					16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
1	NORM	UNI	IN	0	0	1	0	0	1	0	0	0	1	1	0	1	0	1	1	
2			IN	1													1			
3			OUT	0														0		
4			OUT	1														0		
5		BI	IN	0								0	1	1	A	D	R	S [†]	1	
6			IN	1								1	1	1					1	
7			OUT	0								0	1	1					0	
8		ENABLE BITE	BITE	OUT	1							1	1	1					0	
9	-			-							0	0	1	1	0	0	0	0	0	
10	UNI-OUT BITE			BITE	-	-							0						1	0
11	DISABLE BITE	BITE	-	-							1							0	0	

† THE FOUR BIDIRECTIONAL ADDRESS BITS ARE NUMBERED 0 THRU 3. ADDRESS BIT 0 CORRESPONDS TO INSTRUCTION BIT 9 OR 25. ADDRESS BIT 3 CORRESPONDS TO INSTRUCTION BIT 12 OR 28. THE ADDRESS BITS SELECT EXTERNAL DEVICE.
 I/O = IA1, C = IA9, L = IA10, DEVICE CODE = MPC 0-5.

SOFTWARE BIT DESIGNATION	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	...	30	31
HARDWARE BIT DESIGNATION	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	...	1	0
BIDIRECTIONAL CH0	DATA 8 BITS																				
UNIDIRECTIONAL OUT CH1	DATA 8 BITS																				
UNIDIRECTIONAL IN CH1									DATA 8 BITS												
ALL OTHERS									DATA 16 BITS												

Bild 40. Lagring av data i minnet och A-registret

Enkelriktade kanaler

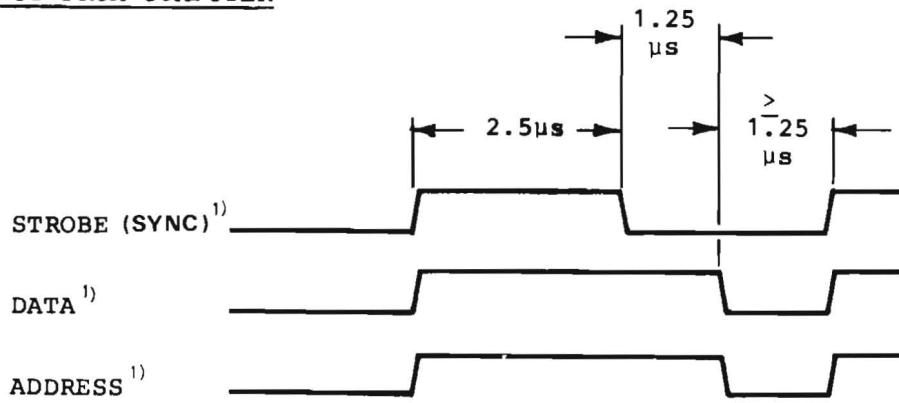
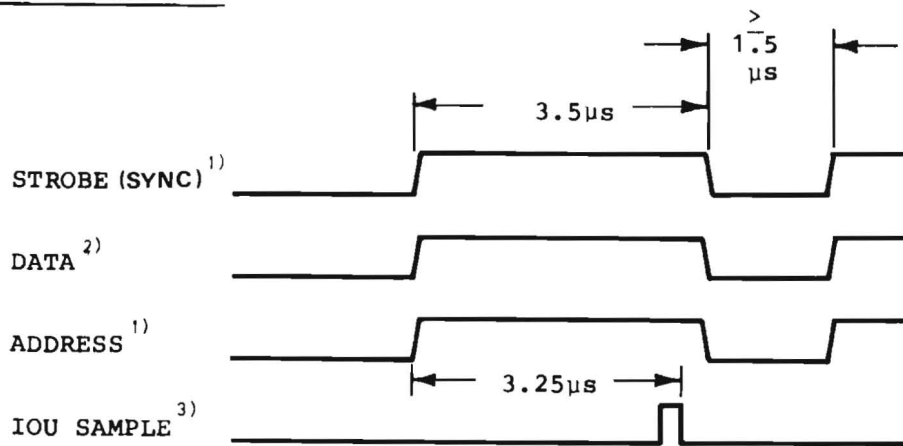
De enkelriktade kanalerna används huvudsakligen för utsändning och avkänning av olika kontrollsignaler.

- Med instruktionerna 1 och 2 i tabell 18 avkänns databussen för inkommande kanaler. Datat lagras i A-registret eller minnet.
- Med instruktionerna 3 och 4 i tabell 18 uppdateras utbufferten i utgående kanal med data från A-registret eller minnet. Detta data sänds kontinuerligt ut på den utgående databussen tills kanalen tar emot en ny INO-instruktion.

Dubbelriktade kanaler

De dubbelriktade kanalerna används för utbyte av data med yttre enheter. De fyra minst signifikanta bitarna i "Device code" i INO-instruktionen (=MPC 0-3) anger adressen till den yttre enheten. Adressen anges även om data skall sändas eller tas emot. Tidsdiagrammen på bild 41 visar hur överföringen sker.

- För inkommande data används instruktion 5 och 6 i tabell 18.
- För utgående data används instruktion 7 och 8 i tabell 18.

OUTPUT FROM COMPUTERINPUT TO COMPUTER

¹⁾SÄTTTS FRÅN CD107 ²⁾SÄTTTS FRÅN YTTRE ENHETER ³⁾DATA GRINDAS IN I BUFFERTREG.

Bild 41. Dubbelriktade parallellbinära kanaler, tidsdiagram

Testmöjligheter

Programvaran kan testa logik och drivkretsar för de parallella kanalerna i följande ordning:

1. CPU exekverar instruktion 9 (tabell 18), vilket sätter de parallella kanalerna i "BITE-mode" och inhiberar synkpulser.
2. CPU exekverar instruktion 7 eller 8 och sätter ut data (men ej synk) på en av de dubbelriktade kanalerna.
3. CPU exekverar instruktion 5 eller 6 och tar emot datat (men sänder ej ut synk) på samma kanal, varefter utsänt och mottaget data jämförs.
4. CPU exekverar instruktion 1 eller 2, vilket i "BITE-mode" skall ge 1 från alla mottagningskretsar för berörd enkelriktad kanal.
5. CPU exekverar instruktion 10, vilket förbereder för test av de enkelriktade utkanalernas buffertregister.
6. CPU exekverar instruktion 3 eller 4 och laddar buffertregistret för berörd enkelriktad kanal. Därmed sänds datat också ut till yttre enheter.
7. CPU exekverar instruktion 1 eller 2 och läser innehållet i buffertregistret, varefter utsänt och mottaget data kan jämföras.
8. CPU exekverar instruktion 11, vilket återför de parallella kanalerna till normal mode.

Klockavbrottssignaler

Tre typer av klockavbrottssignaler, enligt bild 42, och två typer av testsignaler enligt bild 43, sänds ut kontinuerligt, när 4 MHz oscillatorn börjat fungera efter krafttillslag.

- S21 – fyra parallella (S210, S211, S212, S213)
- S3 – två parallella (S30, S31)
- S0 – tre parallella (S00, S01, S02)

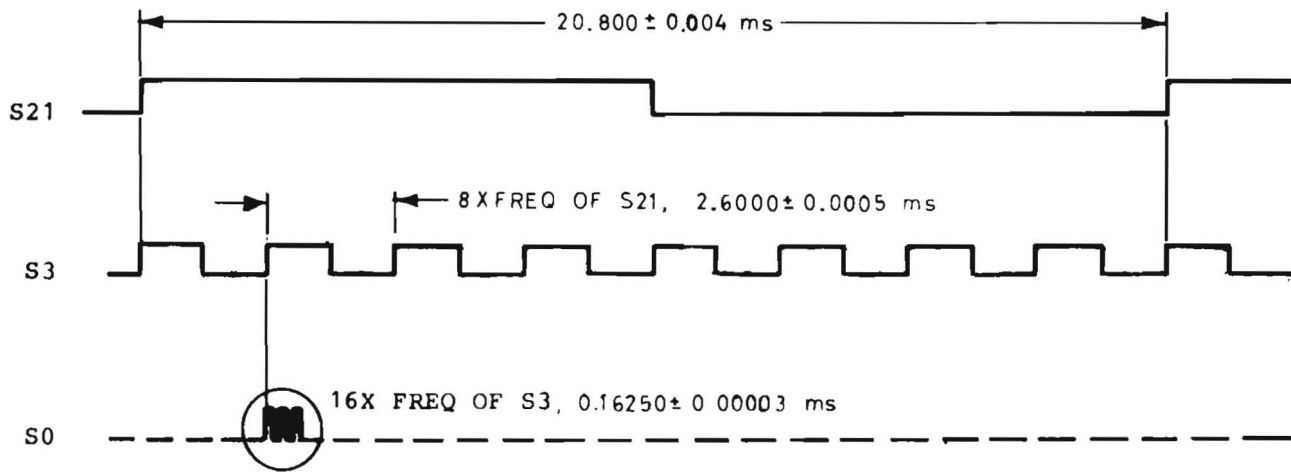


Bild 42. Klockavbrottssignaler

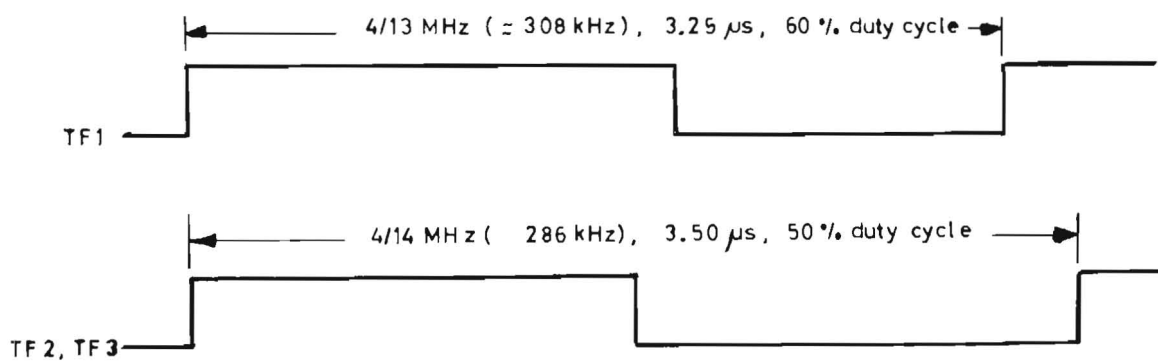


Bild 43. Testfrekvens

Minnesladdningskanaler

Kanal 25

Från t ex teletestbil (TTB) är det möjligt att över seriekanal 25 och ett antal styrsignaler ladda eller läsa data i kärnminnet. Överföringen styrs av hårdvaran och följande styrsignaler mellan datorn och TTB (över anslutningsdon J11):

- AGEN (AGE Enable), villkor för att in/ut-enheten skall ta emot RES.
- RES (Remote Entry Signal) stannar datorn och sätter signalen DMIR=0 till MPA vilket möjliggör minnesanrop, se avsnittet Minnesprioritetsanalytator. RES är också ett villkor för att STT 1 och 3 skall kunna upphäva minnesskyddet.
- CACK (Computer Acknowledge), en 10 μ s lång positiv puls från datorn till yttre enhet, som visar att CPU tagit emot RES, stannat och nu väntar i "Load/Verify Mode".
- L/V (Load/Verify), 1 anger skrivning (Load Mode) och 0 anger läsning (Verify Mode). L/V skall behålla sitt värde tills skriv/läsoperationen är klar.
- DADD (Data/Address), 0 anger att en 16 bitars startadress skall skickas till in/ut-enheten. Adressen, skiftad vänster ett steg, pekar på det första halvord som skall läsas/skrivas. Detta är alltid den övre halvan av ett helord. Startadressen ökas med ett efter varje läsning/skrivning. 1 anger att data skall överföras.
- SEW (Start Each Word), en 10 μ s lång positiv puls från AGE till datorn, som initierar överföringen av adress eller data enligt vad som bestämts av L/V och DADD. In/ut-enheten svarar med 16 synkpulser på in eller utkanal 25 och överför ett halvord för varje SEW.
- STT 1, 3 (Memory Write Enable), möjliggör skrivning i minnesskyddade områden då datorn stannat i "Load/Verify Mode". De områden som berörs visas i avsnittet Minnesenhet.
- BP1X (Memory Power Fail 1), fel på någon av de spänningar (± 5 V och ± 15 V) som övervakas av "Memory Protect".

Kanal 23

Kanal 23 kan användas för laddning av kärnminnet från ett externt massminne. Laddning med kanal 23 styrs av CPU med ett program som startas efter krafttillslag om signalerna AGEN, RES och STT 1 från den yttre enheten är sanna. Dessa signaler upphäver minnets skrivskydd. Kanal 23 är reserv i fpl JA37.

Anslutning till yttre system

För mottagning av signaler från yttre system används Fairchild 9615 eller motsvarande. Som drivkrets för signaler till yttre system används Fairchild 9614 eller motsvarande. För de dubbelriktade parallellbinära kanalerna används dock National Semiconductor DM7832 som drivkrets.

9615 och 9614 visas i detalj på bild 44. Principbilder för driv- och mottagningskretsar för serie- och parallella kanaler visas i bilderna 45-47.

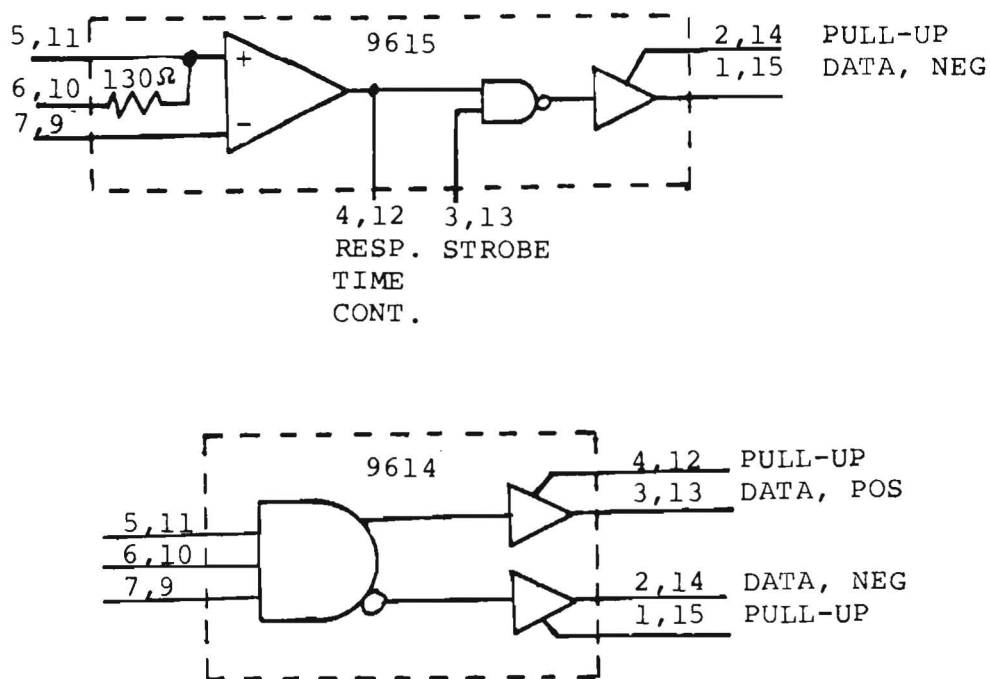
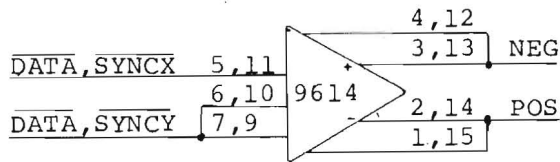
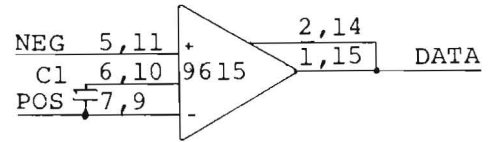


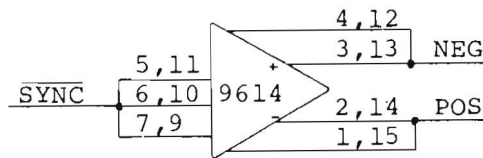
Bild 44. Mottagare 9615 och drivkrets 9614



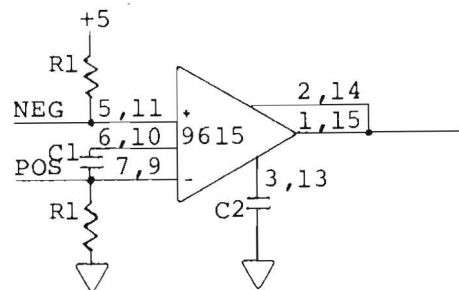
a) Serie ut, data och synk



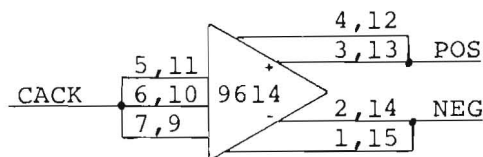
b) Serie in, data



c) Serie in, synk



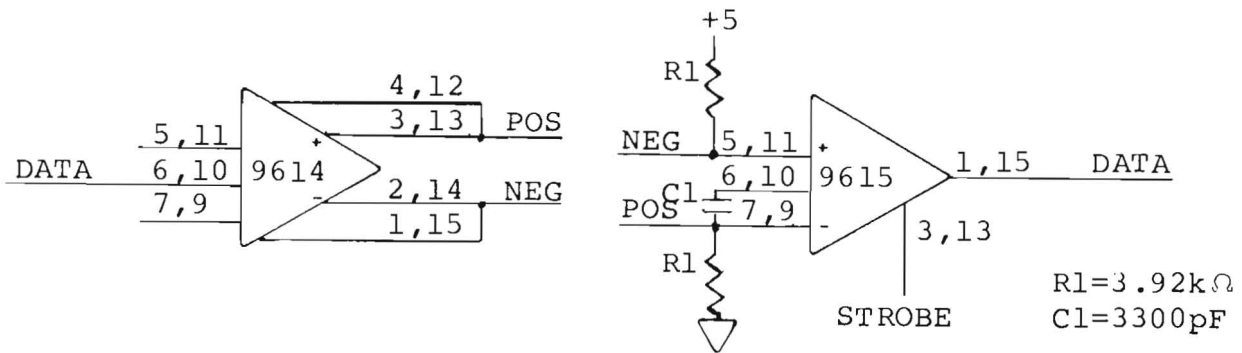
d) Kontrollsignaler för "Load/Verify"



R1= 3.92 k Ω
C1= 3300 pF
C2= 10000 pF

e) Kontrollsignaler för "Load/Verify", CACK

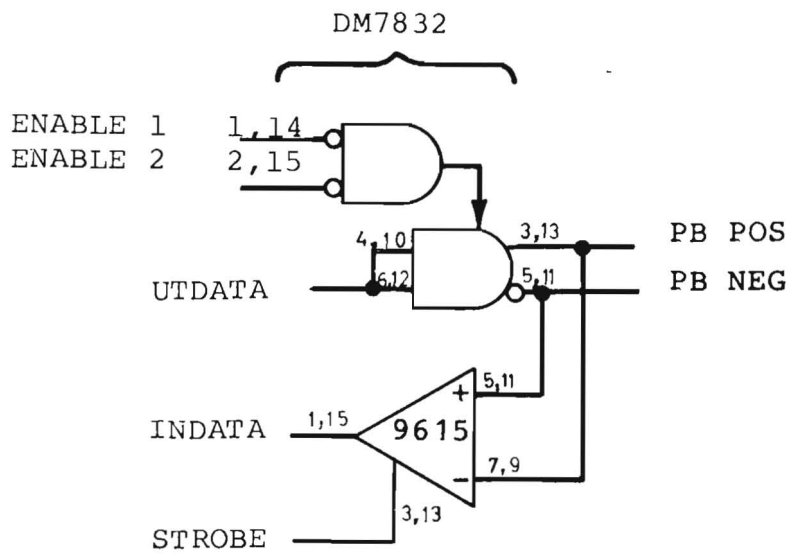
Bild 45. Drivkrets och mottagningskretsar för seriekanslar



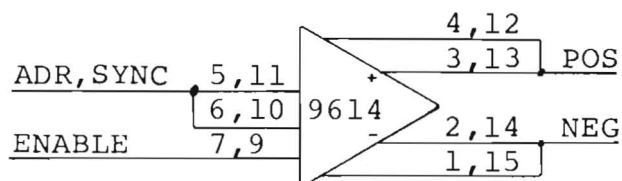
a) Datasändning

b) Datamottagning

Bild 46. Driv-och mottagningskretsar för enkelriktade parallellbinära kanaler.



a) Data



b) Adress och synk

Bild 47. Driv-och mottagningskretsar för dubbelriktade parallellbinära kanaler

KRAFTENHET

Allmänt

Datorn matas med 3-fasspänning 200/115 V, 400 Hz (Δ -kopplat) till anslutningsdonet 2J5 på datorns bakre gavel. Kraftbehovet är ungefär 585 W eller 688 VA. 3-fasspänningen filtreras i två filter FL 1 och FL 2 och matas därefter till kraftenheten över anslutningsdonet J14, se bild 48.

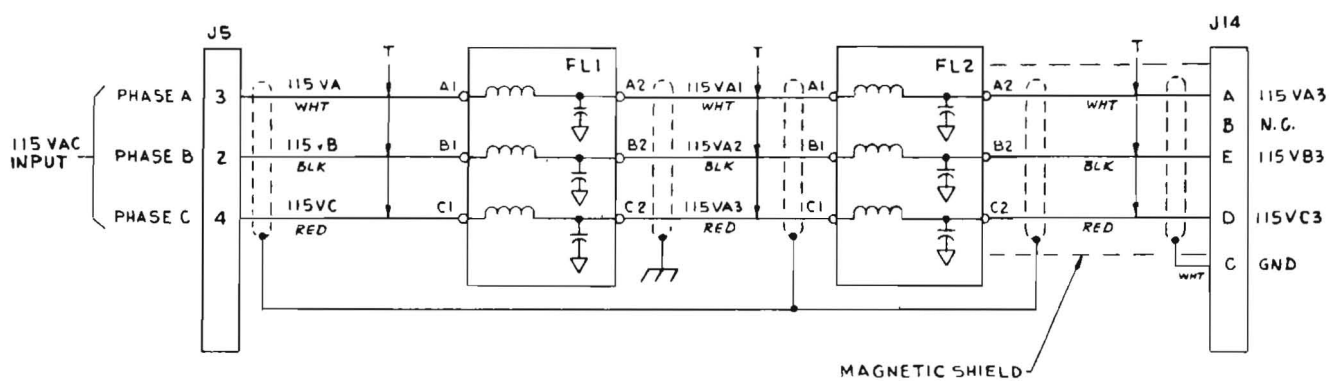


Bild 48. Strömförsörjning, filter

Spänningen omvandlas i en Δ Y-transformator (kort A26) till minst 28V (typiskt värde ca 35 V), se bild 49. Växelspänningen likriktas (kort A28) till minst +28 V (typiskt värde +36 V). Från likriktaren går också kontrollsignaler till centralenheten, se bild 50. Den likriktade råspsänningen omvandlas i pulslängsmodulerade DC/DC-omvandlare (kort A14, A15, A27 och A30) till stabiliserade likspänningar. På bild 51 visas fördelningen av likspänningarna.

Överspänning

AC/DC-omvandlaren och samtliga DC/DC-omvandlare tål att utgångarna är obelastade.

Överbelastning

AC/DC-omvandlaren och samtliga DC/DC-omvandlare tål kortslutning av utgångarna.

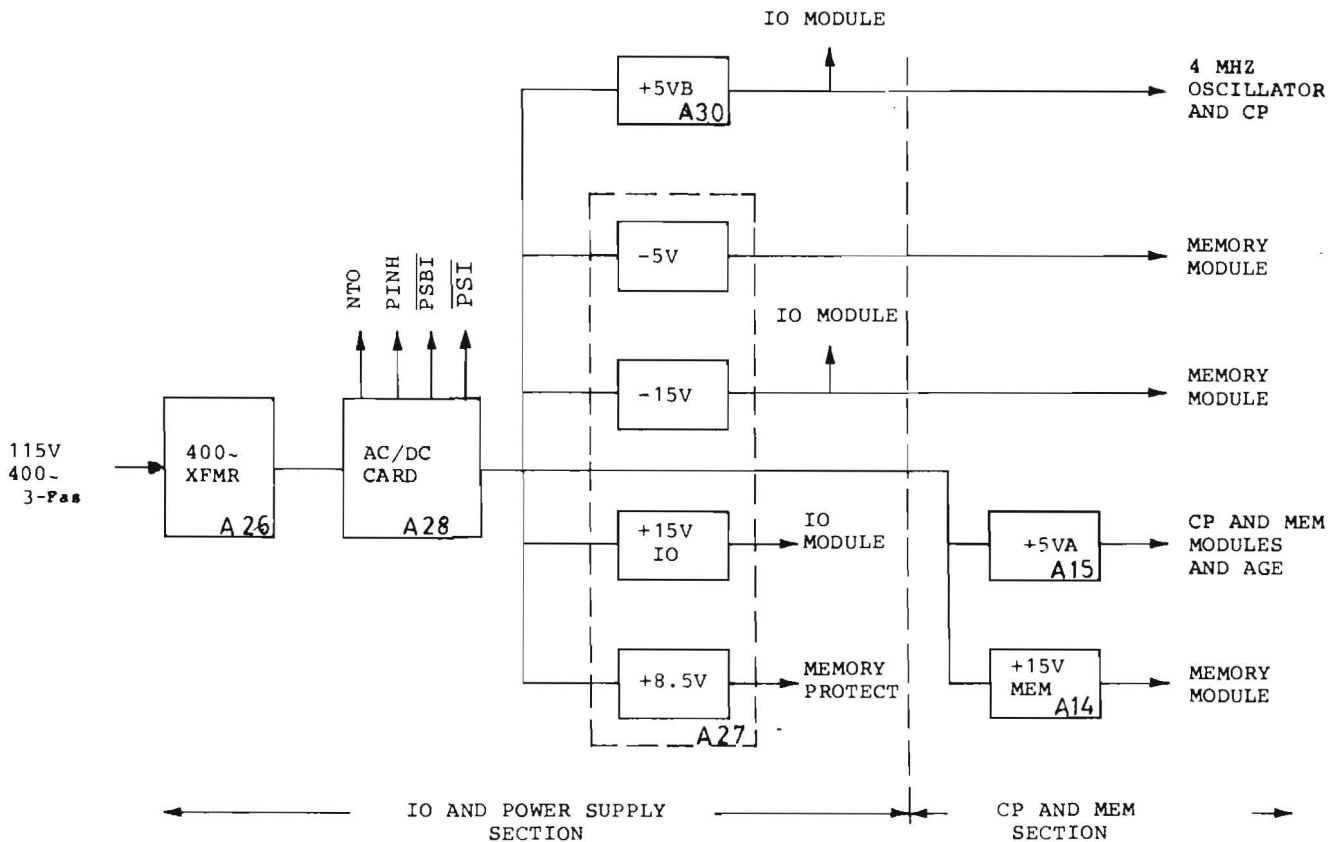


Bild 49. Kraftmatning, blockschema

Underspänning

Om utspänningen från AC/DC-omvandlaren (A28) blir lägre än 27 V sätts $PSI = 0$. Om matningsspänningen till DC/DC-omvandlare A27 blir lägre än $15,9 \pm 0,4$ V sätts $TOFF = 0$ till alla DC/DC-omvandlare, varvid de stabiliserade likspänningarna går ner till 0. $TOFF$ sätts till 1 igen, när inspänningen når upp till $20 \pm 0,6$ V.

Övertemperatur

Två temperaturgivare av bimetall, placerade i AC/DC-omvandlaren (A28), slår ifrån matningen av +28 V vid övertemperatur ($89-98^\circ\text{C}$). Kontrollsignalerna PSI och $PINH$ påverkas som vid bortfall av matningsspänningen. Dessutom sätts $PSB1 = 0$. Om matningsspänningen är inom toleransgränserna när temperaturen åter sjunker slås spänningen åter till och kontrollsignaler sätts som vid ett vanligt spänningstillslag. Termokretsarna har en hysteres på $15 \pm 3^\circ\text{C}$.

Kontrollsignaler (matningsspänning)

Se bild 50

- Fault warning (PSI)
Om matningsspänningen sjunker så mycket att någon av utspänningarna blir för låg, dvs utspänningen från AC/DC-omvandlaren understiger 27 V, sätts PSI = 0 minst 150 μ s innan någon spänning når sin undre gräns. PSI går till BITE-kretsar i in/ut-enheten vilka genererar INT 15 (programbrott 15). PSI = 1 då spänningen åter stigit till 28,5 V.
- Normal Turn-On (NTO)
Om kraften varit frånslagen i mer än 35 sekunder sätts vid tillslag NTO=1 innan +5 V-spänningen till CPU nått +3,5 V. Har kraftavbrottet varat mindre än 16 s skall NTO vara 0. För tider mellan 16 och 35 s blir NTO obestämmd. NTO initierar "Memory Prime", MP.
- Internal On/Off control
Sätts till OFF när PSI = 0. Om matningsspänningen är låg mindre än 50 ms ska "Internal ON/OFF control" vara kvar i OFF-läge minst 42 ms och max 50 ms.
- Turn-Off (PINH)
Minst 150 μ s efter PSI = 0 sätts PINH = 0. Under dessa 150 μ s lagrar CPU undan viktiga data. Vid omslag till PSI=1 dröjer det max 260 μ s innan PINH = 1.
- Övertemperatur (PSB 1)
Vid övertemperatur sätts PSB1 = 0 till BITE-kretsar i in/utenheten.

1/0sidan
A29 8402923
J1:24

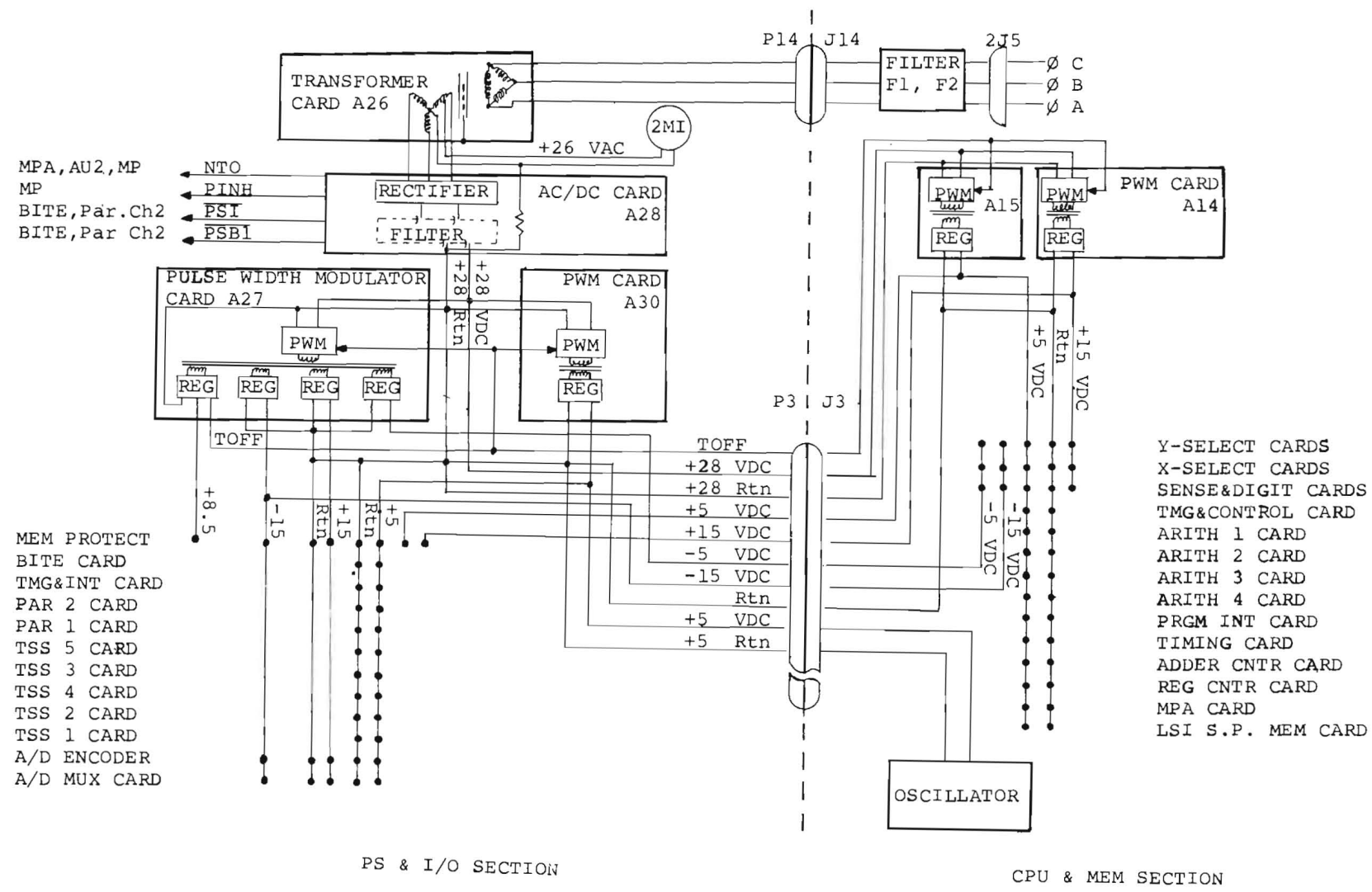


Bild 51. Kraftenhet, förbindingschema

113

113

SKC 2000 INSTRUCTION LIST

OP-CODE	LENGTH	MNEMONIC	OPERATION DESCRIPTION	OPERATION SUMMARY
00000 0001.....	S	EMI	Enable Memory Interrupts	SR14 Is Set To 1
00000 0010.....	S	DPI	Disable Program Interrupts	SR15 Is Set To 0
00000 0011.....	S	DMI	Disable Memory Interrupts	SR14 Is Set To 0
00000 0100.....	S	EPI	Enable Program Interrupts	SR15 Is Set To 1
00000 0101.....	S	HLT	Halt	Halts If Test Signal Is Present
00000 0110.....	S	SET	Set Selected Program Flags	Sets Indicated Flags To 1
00000 0111.....	S	RST	Reset Selected Program Flags	Resets Indicated Flags To 0
00000 1000.....	S	CFX	Convert Floating To Fixed	Fix (AB)
00000 1001.....	S	CXF	Convert Fixed To Floating	Float (AB)
00000 1010.....	S	EAB	Exchange A and B	(A)→B, (B)→A
00000 1011.....	S	SHM	Set Halfword Mode	SR5 Bit Set To 1
00000 1100.....	S	RHM	Reset Halfword Mode	SR5 Bit Reset To 0
00000 11010....	S	LXA	Load Index Register From A	(A)→XR (18 Low Order Bits)
00000 1110.....	S	NOP	No Operation	No Operation
00001 0...00....	S	SLLD	Shift A, B Left Logically	Shift By EA
00001 0...01....	S	SLCD	Shift A, B Left Circularly	Shift By EA
00001 0...10....	S	SLL	Shift A Left Logically	Shift By EA
00001 0...11....	S	SRLD	Shift A, B Right Logically	Shift By EA
00001 1...00....	S	SRAD	Shift A, B Right Algebraically	Shift By EA
00001 1...01....	S	SRCD	Shift A, B Right Circularly	Shift By EA
00001 1...10....	S	SRA	Shift A Right Algebraically	Shift By EA
00001 1...11....	S	SRC	Shift A Right Circularly	Shift By EA
00010 0.....	S,L	LDA	Load A Register	(EA)→A
00011 0.....	S,L	STX	Store Index Register	(XR)→EA
001000	S,L	ICN	Test XR and Skip On Not Equal	Skip if (XR) ≠ (EA)
00100 1.....1	L	ICL	Test XR and Skip On Less Than	Skip if (XR) < (EA)
00101 0.....	S	MFM	Move Block From Fast to Main	
00101 1.....	S	MMF	Move Block From Main to Fast	
00110	S,L	LAE	Load A With EA	EA→A
00111	S,L	STA	Store A Register	(A)→EA

Abbreviations:

()	Contents of	CARRY	Carry Status Bit
A	A Register	MR	Interrupt Mask Register
B	B Register	SR	Status Register
EA	Effective Address	PC	Program Counter
XR	The Index Register designated as the target of the instruction	→	Goes Into
		Δ	Floating Point

(Continued)

OP-CODE	LENGTH	MNEMONIC	OPERATION DESCRIPTION	OPERATION SUMMARY
01000	S,L	STH	Store Left Half of A Register	$(A)_{0-15} \rightarrow EA$
01001 0.....0.	S	DOA	Data Output From A Register	
01001 0.....1.	S	DIA	Data Input To A Register	
01001 1.....0.	L	DOM	Data Output From Memory	
01001 1.....1.	L	DIM	Data Input To Memory	
01010	S,L	LDB	Load B Register	$(EA) \rightarrow B$
010011.....	S,L	LDX	Load XR Register	$(EA) \rightarrow XR$
01100 000	S	JU,JRU	Jump Unconditional	Jump To EA
01100 001	S	JN,JRN	Jump If $A \neq 0$	Jump To EA if $(A) \neq 0$
01100 010	S	JG,JRG	Jump If $A \geq 0$	Jump To EA if $(A) \geq 0$
01100 011	S	JL,JRL	Jump if $A < 0$	Jump To EA if $(A) < 0$
01100 1...00001.	L	JS	Jump To Subroutine	$(PC)+2 \rightarrow EA$ Indirectly, Jump To $EA+2$
01100 1....	L	JGF	Jump On Program Flag	Jump To EA If Any Flag Tested Is On
01100 1....	L	JGS	Jump On Status Bit	Jump To EA If Status Bit On
01100 1...00110.	L	JGW	Jump On Switch	Jump To EA If Switch On
01100 10000110..	L	JU,JGU	Jump Unconditional	Jump To EA
01100 10100100..	L	JN,JAN	Jump If $A \neq 0$	Jump To EA If $(A) \neq 0$
01100 110001000.	L	JG,JAG	Jump If $A \geq 0$	Jump To EA If $(A) \geq 0$
01100 111001000.	L	JL,JAL	Jump If $A < 0$	Jump To EA If $(A) < 0$
01101 1.....0	L	IMP	Modify XR Positive	$(XR)+(EA) \rightarrow XR$
011011	S,L	IMN	Modify Index Register Negative and Skip On $(XR) < (EA)$	$(XR) - (EA) \rightarrow XR$; Skip if $(XR) < (EA)$.
01110	S,L	RTA	Return Address	Jump Indirect Via EA
01111	S,L	STB	Store B Register	$(B) \rightarrow EA$
10000	S,L	AND	Logical And	$(A) \text{ AND } (EA) \rightarrow A$
10001 0.....	S,L	SAM	Skip On A Register Masked	Skip Unless $(A) \text{ AND } (EA) = 0$
10010	S,L	MLF	Multiply - Floating Point	$(A) \Delta *(EA) \rightarrow AB$
100110	S,L	AFD	Add Floating Double Precision	$(AB) \Delta + (EA, EA+2) \rightarrow AB$
10011 1.....1	L	LDS	Load Status Register	$(EA) \rightarrow SR$
10100	S,L	ADU	Add Upper - Fixed Point	$(A) + (EA) + \text{Carry} \rightarrow A$
10101	S,L	ADL	Add Lower - Fixed Point	$(B) + (EA) \rightarrow A$
101100	S,L	DVF	Divide - Floating Point	$(AB) \Delta / (EA) \rightarrow A, \text{Remainder} \rightarrow B$
101110	S,L	ADF	Add - Floating Point	$(A) \Delta + (EA) \rightarrow A$
10111 1.....1	L	STI	Store Interrupt Mask Register	$(MR) \rightarrow EA$
11000	S,L	LOR	Logical OR	$(A) \text{ OR } (EA) \rightarrow A$
11001	S,L	EXO	Exclusive OR	$(A) \text{ XOR } (EA) \rightarrow A$
11010	S,L	MUL	Multiply - Fixed Point	$(A) *(EA) \rightarrow AB$
11011	S,L	SFD	Subtract - Floating Double Precision	$(AB) \Delta - (EA, EA+2) \rightarrow AB$
11011 1.....1	L	STS	Store Status Register	$(SR) \rightarrow EA$
11100	S,L	SBU	Subtract Upper - Fixed Point	$(A)-(EA) - \text{Carry} \rightarrow A$
11101	S,L	SBL	Subtract Lower - Fixed Point	$(B)-(EA) \rightarrow B$
11110	S,L	DVD	Divide - Fixed Point	$(AB) / (EA) \rightarrow A, \text{Remainder} \rightarrow B$
111110	S,L	SBF	Subtract - Floating Point	$(A) \Delta - (EA) \rightarrow A$
11111 1.....1	L	LDI	Load Interrupt Mask Register	$(EA) \rightarrow MR$

A	A-register
A/D	Analog-to-digital
ABGB	AGE Envelope Signal, ABG Buffered
ACK	Acknowledge
ACKT	I/O Acknowledge
AGE	Aerospace Ground Equipment = Automatisk testutrustning
AGEN	AGE Enable
ALT1	Upper Limit of Watchdog Timer
ANP C	Anpassningsenhet robot
ANP M	Anpassningsenhet motor
ANP U	Anpassningsenhet undre
ANP 71	Anpassningsenhet robot
APP 73	Apparat 73
ATE	Automatic Test Equipment
AU	Master Memory, Upper
A3	2,6 ms Clock = S3
A21	20.8 ms Clock = S21
B	Bite Mode in PCW
BI	BI-Directional
BITE	Built-in-Test-Equipment = Intern övervakningskrets för BITE-signaler
BMDLi	Buffered Memory Data Lines (i-15-28)
BM2	Bite Memory. Memory does not respond with IPR or DP
BP	Bite-Power (Memory)
BPM	Bite Power Memory
BPI	Bite Power Fail (Memory)
BPIX	Bite Power Fail Memory External Signal
BT	Bite Test Bite on Bite
BTA	Bite Test Alarm to CCU

C/W	Clear/Write
CAAO-5	Serial Analog Channel Address Bits
CACK	Computer acknowledge one 10 mS positive going pulse issued to age indicating that the CP has received a valid read signal and is now stopped and waiting in the Load/Verify Mode.
CCU	Computer Control Unit
CC1	DMA Request for Instruction
CC2	Instruction Read On MDL
CC3	Operation Decode > Operand Address Compute
CC5	Wait for Data Available
CC6	Update Program Counter
CC7	Execute Last Clock
CC9	Halt or Wait Access to Memory
CDL	Clock Data Line MDL Enable from Core
CFA	Clock (Watchdog Timer) Fail Alarm, to CCU
CM1	Jump Control (Jump Conditions Met)
COK	Computer OK = Datorn felfri
CP	Central Processor
CP	Clock Pulse
CPU	Central Processor Unit = Centralenhet
CRX	Channel Reset X Controller
CRY	Channel Reset Y Controller
C/W	Clear/Write
CWE	Clear/Write Enable
CWL	Clear Write Lower Half Word
CWM	Clear Write MOD = MOD 1
DA	Data Available in CPU
DADD	Data/Address
DAP	Data Panel
DC	Device Code
DL	Data Load

DMA	Direct Memory Access
DMIR	Direct Memory Interrupt Request Enable
DP	Data Present
DT	Display Test AGE Stops CPU in CC9
DWLA	Data Write Master
DWLB	Data Write Slave
DWX	Data Write
ENTO-8	External Interrupts
EOT	End Of Transmission
EPDG	AGE Start Control
EXZ	Execute all Zeroes (Illegal Instruction)
EXI	Execute all Ones (Illegal Instruction)
F	Flag Field of Jump-on-Flag Instructions
FL	Filter
FOK	Format OK
GI	Group Identity
H	Half Word Mode Designator Bit of Long Instructions
HW	Half Word Mode
I	Indirect Address Designator Bit
IAF	Indirect Addressing Fail
IAFB	Indirect Address Fail Buffered
IAOB	IAO Buffer
IA0-15	Instruction Register Upper = Instruktionsregister
IBOB	IBO Buffer
IB0-15	Instruction Register Lower Bits 0 thru 15 = Instruktionsregister
IC	Integrated Circuit
IEC	Interrupt End-of-Channel
IECA2	End of Channel Interrupt, A/D Controller
IECI2	End of Channel Interrupt, Input Controller
IECX2	End of Channel Interrupt, X Controller

IECY2	End of Channel Interrupt, Y Controller
I/O	Input/Output
IME	Internal Measurement Equipment
IMR	Interrupt Mask Register
IMT	Its my turn, AGE Signal to simulate memory (IMITATE)
INO	Input/Output Instruction
INT0-15	Programavbrott 0-15
IP	Memory Initiate from CPU = CY2
IPC	Initiate Pulse Console
IPR	Memory Initiate Pulse Return to MPA
J1	Initialize = Initieringssignal
JIT	Initialize, CCU
K	Acknowledge in INO Instructions
L	Long/Short Designation Bit of Instructions
LD5	Luftdata
LRU	Line Replaceable Unit
LSB	Least Significant Bit
LVP	Logikenhet varningspresentation
L/V	Load/Verify
M	Immediate Operand Designator Bit of Instruction
MAL0-16	Memory Address Lines Zero thru Sixteen = 17 bitars minnesadressbuss
MAR	Memory Address Register
MB	Memory Data Bus Busy - Generated by MPA and IS Signal in Bus
MB	Memory Busy - Generated by memory and used only internal to memory
MBZ	Memory Busy
MCFA	Master Clock Fail Alarm
MCP1	Master Clock Pulse
MDE	Module Decode Enable

MDB	Slave Memory Decode
MDL0-31	Memory Data Lines Zero thru Thirty-one = 32 bitars dubbelriktad databuss
MLA0-16	CPU Address Lines Zero thru Sixteen
MOD1	Clear Write = 1
MOD1-5	Memory Mode Bus One thru Five = 5 bitars styrsignalmod
MODC1-5	Memory Mode Bus One thru Five, CCU
MOD2	I/O Read Restore Mode
MOD3	IO/DMA instruction = I/O
MOD4	DMA Half Word Operand
MOD5	DMA Upper Word Operand = 1, Lower = 0
MPA	Memory Priority Analyser = Minnesprioritetsanaly-sator
MPC0-5	Memory Processor Code Zero thru Five = 6 bitars styrsignal datakod
MPCC0-5	Memory Processor Code Zero thru Five, CCU
MP1	Memory Prime
MQ0	Memory Request by CPU = Minnesanropssignal CPU
MQ1-15	DMA Request Lines One thru Fifteen (other than Central Processor) = Minnesanropssignal 1-15 (annan än CPU)
MQ7	Memory Direct Access Request Number 7 (TSS)
MR	Memory Release
MRT	Memory Release (Tester)
MS	Mod Select
MSB	Most Significant Bit
M0-31	Memory Bus Internal to CPU Zero thru Thirty-One
M7,M16,M18	Base Address Field of short and long Instructions re-spectively
N	Number of shifts on Shift Instructions. Number of blocks in Block Transfer Instructions.
N	Negative

NTO	Normal Turn On
NU	Not used
OAD0-,P	Output A/D Bits
OAR	Operand Address Register
OF	Overflow
OP	Operand
OTM	Over Temperature Memory
OTO	Over Temperature Override
OTS	Over Temperature Sensing
OTS1	Over Temperature Sense 1
P	Direction Designator Bit for Relative Jumps
P	Positive
P	Pause in SCC Word
PC	Program Counter = Programräknare
PC	Parity Check
PCOB	PCO Buffer
PCW	Program Control Word
PFD	Power Fail Detect
PI	Program Interrupt
PINH	Power Supply Shut Down, Power Inhibit
PMA	Protected Memory Addressed
PROM	Programmable Read Only Memory = Omprogrammerbart läsminne
PSB1	Power Supply Bite 1, Thermal Switch
PSI	Power Supply Inhibit, Power Failing
PS 46/A	Radar
PWM	Pulse Width Modulator
R/R	Read/Restore
R/W	Read/Write
RAM	Random Access Memory
RES	Remote Entry Sense, Negative

RHF	Remote Halt, CCU
RHM	Reset Halfword Mode Instruction
RM	Release Memory, Issued by MPA
RMOR	Reset Memory Output Register
ROM	Read Only Memory
ROTIA	Temperature Sensing
RRP	Radar Panel
RUF	Registreringsbandspelare
RWM	Read Write Memory
S	Designator for Storage of Return Address (Jump to SWB Routing Instruction)
SAL1-4	System Alarms 1-4 = Systemalarmsignal 1-4
SA07	Styrautomat
SB	Status Register Bit Field of Jump on Status Bit Instruction
SCC	Serial Channel Command Word
SEW	Start Each Word
SIF	Serial Identity Fail
SKD	Singer Kearfott Division
S0-32	Adder Bits Zero thru Thirty-Two
So 0-2	Special Signals (0.1625 ms)
SPCW	Second Program Control Word (An Error)
SPF	Serial Parity Fail
ST	Systemtablå
ST	Status Register = Statusregister
STT1-3	Release Protected Memory for Writing Signals One thru Three
ST0-15	Status Register Bits Zero thru Fifteen = Statusbit 0-15
SVF	Serial Validity (FOK) Fail
SW0-7	Switch Inputs AGE Zero thru Seven
SX0-2	Display SC Sign for Floating Point Addition

S210-3	Special Signals (20.8 m SEC)
S30-S31	Special Signals (2.6 mS)
TAO	Time Out for IO Acknowledge
TCE	Transmission Check Error (Serial Channels)
TF0-3	Test Frequencies Zero thru Three
TF1	Test Frequency (308 kHz)
TF2,TF3	Test Frequency (286 kHz)
TILS	Taktiskt instrumentlandningssystem
TO	Time Out, User Fail, No MR Pulse
TSS	Time Scheduled System = Tiddelningssystem
TOA	Time Out Alarm, Watchdog Timer
TOFR	Stänger av DC/DC-omvandlingen vid för låg inspänning
TTB	Teletestbil
UE	Utbytesenhet
UNI	UNI-Directional
UTB	Utbildningsbandspelare
VT	Vapentablå
VFA	Voltage Fail Alarm to CCU
VX	Växel
XR0-15	Index Registers Zero thru Fifteen = Indexregister 0-15
X1	Index Register Field of Instruction (First level)
X2	Index Register Field of Instruction (Second level)
YM	Yttre minne

Registreringsnummer	Titel
ÖVRIGT	
FFV-U 4330/79-PM9	Dator 107. Assemblersystem på SEL32
SKD Y240A200M0201	Principles of operation. SKC-2000 Computer
SKD Y240A201M0301	FOCAP SKC-2000 Assembler Language reference manual
SKD Y240A200M202	SKC 2000 CCU Users manual
Datsaab 8402198-110	CCU Users manual
JA37-PD-0.2.8-1	Handhavande vid inläsning av datorprogram i dator 107/PM
JA37-PD-0.0.0-2	Förteckning över programdokumentation.
UTVECKLINGSHJÄLPPROGRAM	
JA37-PD-16.2.8-1	HM hålremsmonitorprogrammet. Progr moder och remsformat
JA37-PD-16.1.8-1	SM skrivmaskinmonitorprogrammet, beskrivning och handhavande.
JA37-PD-16.2.2-2	BL Baseline loader. Description and flowchart
JA37-PD-16.8.2-1	DB Debug Functional program description.

(

(

(

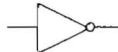
(

Symbol

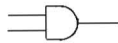
Funktion



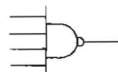
invertering



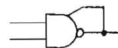
invertering



AND-grind



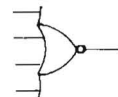
NAND-grind med 4 ingångar



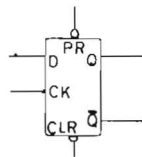
NAND-grind med "pull-up"



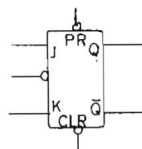
OR-grind



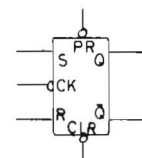
NOR-grind med 4 ingångar



D-vippa



J-K-vippa



SR-vippa

CK=CP=Klock-ingång

CD=CLR=Clear

D = D-ingång

J = J-ingång

K = K-ingång



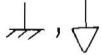






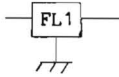
SD=PR = Preset

Q = Utgång

Q̄ = Inverterad utgång

R = Reset-ingång

S = Set-ingång

Symbol	Funktion
	XOR-grind
J1-11	Testjack 1 stift 11
	Testpunkt
	Jord (common ground)
GND	
	Jord (shield ground)
SHLD	
	+5 V
	till kraftmatning
PWR	
	lödpunkt
E1	
	Fairchild typ 9316 eller ekvivalent
9316	
	Texas typ SN 5473 eller ekvivalent
73	
	Filterkondensator
FL1	